

#3

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Jun Koyama et al. Art Unit : Unknown
Serial No. : Unassigned Examiner : Unknown
Filed : August 17, 2001
Title : LIQUID CRYSTAL DISPLAY DEVICE AND METHOD OF DRIVING THE
SAME



Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicants hereby confirm their claim of priority under 35 USC §119 from the following application:

Japan Application No. 2000-249083 filed August 18, 2000

A certified copy of the application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: August 17, 2001

William Hare
William D. Hare
Reg. No. 44,739

Fish & Richardson P.C.
601 Thirteenth Street, NW
Washington, DC 20005
Telephone: (202) 783-5070
Facsimile: (202) 783-2331

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1050 U.S. PTO
09/930956
08/17/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 8月18日

出 願 番 号

Application Number:

特願2000-249083

出 願 人

Applicant(s):

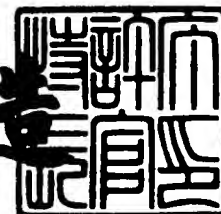
株式会社半導体エネルギー研究所

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 6月20日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 P005156

【提出日】 平成12年 8月18日

【あて先】 特許庁長官 及川 耕造 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小山 潤

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置

【特許請求の範囲】

【請求項 1】

n ビット (n は自然数、 $n \geq 2$) のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、

1 つの画素が $n \times m$ 個 (m は自然数) の揮発性の記憶回路と、 $n \times k$ 個 (k は自然数) の不揮発性の記憶回路とを有することを特徴とする液晶表示装置。

【請求項 2】

n ビット (n は自然数、 $n \geq 2$) のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、

1 つの画素が $n \times m$ 個 (m は自然数) の揮発性の記憶回路と、 $n \times k$ 個 (k は自然数) の不揮発性の記憶回路とを有し、

前記揮発性の記憶回路は、最大 m フレーム分のデジタル映像信号を記憶し、

前記不揮発性の記憶回路は、最大 k フレーム分のデジタル映像信号を記憶することを特徴とする液晶表示装置。

【請求項 3】

n ビット (n は自然数、 $n \geq 2$) のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、

1 つの画素が $n \times m$ 個 (m は自然数) の揮発性の記憶回路と、 $n \times k$ 個 (k は自然数) の不揮発性の記憶回路とを有し、

前記液晶表示装置は、

クロック信号とスタートパルスとに従って、サンプリングパルスを出力する手段と、

前記サンプリングパルスに従って、第 1 のラッチ回路において前記デジタル映像信号の保持を行う手段と、

前記第 1 のラッチ回路に保持された前記デジタル映像信号を、第 2 のラッチ回路に転送する手段と、

前記第 2 のラッチ回路に保持された前記デジタル映像信号を、前記揮発性の記

憶回路あるいは前記不揮発性の記憶回路に記憶する手段と、

前記揮発性の記憶回路に記憶されたデジタル映像信号もしくは前記不揮発性の記憶回路に記憶されたデジタル映像信号を読み出して、映像の表示を行う手段と

を有することを特徴とする液晶表示装置。

【請求項 4】

n ビット (n は自然数、 $n \geq 2$) のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、

1 つの画素が $n \times m$ 個 (m は自然数) の揮発性の記憶回路と、 $n \times k$ 個 (k は自然数) の不揮発性の記憶回路とを有し、

前記液晶表示装置は、

クロック信号とスタートパルスとに従って、サンプリングパルスを出力する手段と、

前記サンプリングパルスに従って、ラッチ回路において前記デジタル映像信号の保持を行う手段と、

前記ラッチ回路に保持された前記デジタル映像信号を、前記揮発性の記憶回路あるいは前記不揮発性の記憶回路に記憶する手段と、

前記揮発性の記憶回路に記憶されたデジタル映像信号もしくは前記不揮発性の記憶回路に記憶されたデジタル映像信号を読み出して、映像の表示を行う手段と

を有することを特徴とする液晶表示装置。

【請求項 5】

n ビット (n は自然数、 $n \geq 2$) のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、

1 つの画素が $n \times m$ 個 (m は自然数) の揮発性の記憶回路と、 $n \times k$ 個 (k は自然数) の不揮発性の記憶回路とを有し、

前記液晶表示装置は、

クロック信号とスタートパルスとに従って、サンプリングパルスを出力する手段と、

前記サンプリングパルスに従って、第 1 のラッチ回路において前記デジタル映像信号の保持を行う手段と、

前記第 1 のラッチ回路に保持された前記デジタル映像信号を、第 2 のラッチ回路に転送する手段と、

前記第 2 のラッチ回路に保持された前記デジタル映像信号を、前記揮発性の記憶回路あるいは前記不揮発性の記憶回路に記憶する手段と、

前記揮発性の記憶回路に記憶されたデジタル映像信号もしくは前記不揮発性の記憶回路に記憶されたデジタル映像信号を読み出して、映像の表示を行う手段と

前記揮発性の記憶回路から読み出されたデジタル映像信号を再度前記揮発性の記憶回路に記憶する手段と、

を有することを特徴とする液晶表示装置。

【請求項 6】

n ビット (n は自然数、 $n \geq 2$) のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、

1 つの画素が $n \times m$ 個 (m は自然数) の揮発性の記憶回路と、 $n \times k$ 個 (k は自然数) の不揮発性の記憶回路とを有し、

前記液晶表示装置は、

クロック信号とスタートパルスとに従って、サンプリングパルスを出力する手段と、

前記サンプリングパルスに従って、ラッチ回路において前記デジタル映像信号の保持を行う手段と、

前記ラッチ回路に保持された前記デジタル映像信号を、前記揮発性の記憶回路あるいは前記不揮発性の記憶回路に記憶する手段と、

前記揮発性の記憶回路に記憶されたデジタル映像信号もしくは前記不揮発性の記憶回路に記憶されたデジタル映像信号を読み出して、映像の表示を行う手段と

前記揮発性の記憶回路から読み出されたデジタル映像信号を再度前記記憶回路に記憶する手段と、

を有することを特徴とする液晶表示装置。

【請求項 7】

基板上に複数の画素を有する液晶表示装置において、

前記複数の画素は、複数の揮発性の記憶回路と、複数の不揮発性の記憶回路とを有し、

1 フレーム期間中に、前記揮発性の記憶回路もしくは前記不揮発性の記憶回路に記憶されたデジタル映像信号を読み出し、

時間階調方式によって階調表示を行うことを特徴とする液晶表示装置。

【請求項 8】

請求項 1 乃至請求項 4 または請求項 7 のいずれか 1 項に記載の液晶表示装置において、

前記揮発性の記憶回路はスタティック型メモリ（SRAM）であることを特徴とする液晶表示装置。

【請求項 9】

請求項 1 乃至請求項 4 または請求項 7 のいずれか 1 項に記載の液晶表示装置において、

前記揮発性の記憶回路は強誘電体メモリ（FRAM）であることを特徴とする液晶表示装置。

【請求項 10】

請求項 1 または請求項 2 または請求項 5 乃至請求項 7 のいずれか 1 項に記載の液晶表示装置において、

前記揮発性の記憶回路はダイナミック型メモリ（DRAM）であることを特徴とする液晶表示装置。

【請求項 11】

請求項 1 乃至請求項 10 のいずれか 1 項に記載の液晶表示装置において、

静止画像の表示期間においては、

前記揮発性の記憶回路もしくは前記不揮発性の記憶回路に記憶されたデジタル映像信号を繰り返し読み出して静止画像の表示を行うことにより、

ソース信号線駆動回路を停止することを特徴とする液晶表示装置。

【請求項 1 2】

請求項 1 乃至請求項 1 0 のいずれか 1 項に記載の液晶表示装置において、

静止画像の表示期間においては、

前記揮発性の記憶回路もしくは前記不揮発性の記憶回路に記憶されたデジタル映像信号を繰り返し読み出して静止画像の表示を行うことにより、

外部回路を停止することを特徴とする液晶表示装置。

【請求項 1 3】

請求項 1 乃至請求項 1 2 のいずれか 1 項に記載の液晶表示装置において、

電源投入時に、前記不揮発性の記憶回路に記憶されたデジタル映像信号を読み出して表示を行うことを特徴とする液晶表示装置。

【請求項 1 4】

請求項 1 乃至請求項 1 3 のいずれか 1 項に記載の液晶表示装置において、

前記揮発性の記憶回路は、ゲート信号線 1 ラインごとに選択的に書き換えが可能であることを特徴とする液晶表示装置。

【請求項 1 5】

請求項 1 乃至請求項 1 3 のいずれか 1 項に記載の液晶表示装置において、

前記不揮発性の記憶回路は、ゲート信号線 1 ラインごとに選択的に書き換えが可能であることを特徴とする液晶表示装置。

【請求項 1 6】

請求項 1 乃至請求項 1 5 のいずれか 1 項に記載の液晶表示装置において、

前記記憶回路は、ガラス基板上に形成されていることを特徴とする液晶表示装置。

【請求項 1 7】

請求項 1 乃至請求項 1 5 のいずれか 1 項に記載の液晶表示装置において、

前記記憶回路は、プラスチック基板上に形成されていることを特徴とする液晶表示装置。

【請求項 1 8】

請求項 1 乃至請求項 1 5 のいずれか 1 項に記載の液晶表示装置において、

前記記憶回路は、ステンレス基板上に形成されていることを特徴とする液晶表

示装置。

【請求項 1 9】

請求項 1 乃至請求項 1 5 のいずれか 1 項に記載の液晶表示装置において、
前記記憶回路は、単結晶ウェハ上に形成されていることを特徴とする液晶表示装置。

【請求項 2 0】

請求項 1 乃至請求項 1 9 のいずれか 1 項に記載の液晶表示装置において、
前記液晶表示装置の画素部には、強誘電性液晶材料もしくは半強誘電性液晶材料を用いることを特徴とする液晶表示装置。

【請求項 2 1】

請求項 1 乃至請求項 2 0 のいずれか 1 項に記載の液晶表示装置を用いることを特徴とするテレビ。

【請求項 2 2】

請求項 1 乃至請求項 2 0 のいずれか 1 項に記載の液晶表示装置を用いることを特徴とするパーソナルコンピュータ。

【請求項 2 3】

請求項 1 乃至請求項 2 0 のいずれか 1 項に記載の液晶表示装置を用いることを特徴とする携帯端末。

【請求項 2 4】

請求項 1 乃至請求項 2 0 のいずれか 1 項に記載の液晶表示装置を用いることを特徴とするビデオカメラ。

【請求項 2 5】

請求項 1 乃至請求項 2 0 のいずれか 1 項に記載の液晶表示装置を用いることを特徴とするヘッドマウントディスプレイ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体表示装置（以下表示装置と表記する）の駆動回路および駆動回路を用いた表示装置に関し、特に、絶縁体上に作成される薄膜トランジスタを

有するアクティブマトリクス型表示装置の駆動回路および駆動回路を用いたアクティブマトリクス型表示装置に関する。その中で特に、映像ソースとしてデジタル映像信号を用いるアクティブマトリクス型液晶表示装置の駆動回路および駆動回路を用いたアクティブマトリクス型液晶表示装置に関する。

【 0 0 0 2 】

【従来の技術】

近年、絶縁体上、特にガラス基板上に半導体薄膜を形成した表示装置、特に薄膜トランジスタ（以下TFTと表記する）を用いたアクティブマトリクス型表示装置の普及が顕著となっている。TFTを使用したアクティブマトリクス型表示装置は、マトリクス状に配置された数十万から数百万のTFTを有し、各画素の電荷を制御することによって画像の表示を行っている。

【 0 0 0 3 】

さらに最近の技術として、画素を構成する画素TFTの他に、画素部の周辺部に、TFTを用いて駆動回路を同時形成するポリシリコンTFTに関する技術が発展してきており、装置の小型化、低消費電力化に大いに貢献し、それに伴って、近年その応用分野の拡大が著しいモバイル機器の表示部等に、液晶表示装置は不可欠なデバイスとなってきている。

【 0 0 0 4 】

通常のデジタル方式の液晶表示装置の概略図を、図13に示す。中央に画素部1308が配置されている。画素部の上側には、ソース信号線を制御するための、ソース信号線駆動回路1301が配置されている。ソース信号線駆動回路1301は、第1のラッチ回路1304、第2のラッチ回路1305、D/A変換回路1306、アナログスイッチ1307等を有する。画素部の左右には、ゲート信号線を制御するための、ゲート信号線駆動回路1302が配置されている。なお、図13においては、ゲート信号線駆動回路1302は、画素部の左右両側に配置されているが、片側配置でも構わない。ただし、両側配置とした方が、駆動効率、駆動信頼性の面から見て望ましい。

【 0 0 0 5 】

ソース信号線駆動回路1301に関しては、図14に示すような構成を有して

いる。図 1 4 に例として示す駆動回路は、水平方向解像度 1 0 2 4 画素、3 ビットデジタル階調の表示に対応したソース信号線駆動回路であり、シフトレジスタ回路 (S R) 1 4 0 1、第 1 のラッチ回路 (L A T 1) 1 4 0 2、第 2 のラッチ回路 (L A T 2) 1 4 0 3、D/A 変換回路 (D/A) 1 4 0 4 等を有する。なお、図 1 4 では図示していないが、必要に応じてバッファ回路、レベルシフタ回路等を配置しても良い。

【0 0 0 6】

図 1 3 および図 1 4 を用いて動作について簡単に説明する。まず、シフトレジスタ回路 1 3 0 3 (図 1 4 中、S R と表記) にクロック信号 (S - C L K、S - C L K b) およびスタートパルス (S - S P) が入力され、順次パルスが出力される。続いて、それらのパルスは第 1 のラッチ回路 1 3 0 4 (図 1 4 中、L A T 1 と表記) に入力され、同じく第 1 のラッチ回路 1 3 0 4 に入力されたデジタル映像信号 (D i g i t a l D a t a) をそれぞれ保持していく。ここで、D 1 が最上位ビット (M S B : Most Significant Bit)、D 3 が最下位ビット (L S B : Least Significant Bit) である。第 1 のラッチ回路 1 3 0 4 において、1 水平周期分のデジタル映像信号の保持が完了すると、帰線期間中に、第 1 のラッチ回路 1 3 0 4 で保持されているデジタル映像信号は、ラッチ信号 (L a t c h P u l s e) の入力に従い、一斉に第 2 のラッチ回路 1 3 0 5 (図 1 4 中、L A T 2 と表記) へと転送される。

【0 0 0 7】

その後、再びシフトレジスタ回路 1 3 0 3 が動作し、次の水平周期分のデジタル映像信号の保持が開始される。同時に、第 2 のラッチ回路 1 3 0 5 で保持されているデジタル映像信号は、D/A 変換回路 1 3 0 6 (図 1 4 中、D A C と表記) にてアナログ映像信号へと変換される。このアナログ化されたデジタル映像信号は、ソース信号線を経由して画素に書き込まれる。この動作を繰り返すことによって、画像の表示が行われる。

【0 0 0 8】

【発明が解決しようとする課題】

一般的なアクティブマトリクス型液晶表示装置においては、動画の表示をスム

ーズに行うため、1秒間に60回前後、画面表示の更新が行われる。すなわち、1フレーム毎にデジタル映像信号を供給し、その都度画素への書き込みを行う必要がある。たとえ、映像が静止画であったとしても、1フレーム毎に同一の信号を供給しつづけなければならないため、駆動回路が連続して同じデジタル映像信号の繰り返し処理を行う必要がある。

【0009】

静止画のデジタル映像信号を一旦、外部の記憶回路に書き込み、以後は1フレーム毎に外部の記憶回路から液晶表示装置にデジタル映像信号を供給する方法もあるが、いずれの場合にも外部の記憶回路と駆動回路は動作し続ける必要があることに変わりはない。

【0010】

特にモバイル機器においては、低消費電力化が大きく望まれている。さらに、このモバイル機器においては、静止画モードで使用されることが大部分を占めているにもかかわらず、前述のように外部回路、駆動回路などは静止画表示の際にも動作し続けているため、低消費電力化への足かせとなっている。

【0011】

本発明は前述のような問題点を鑑見て、新規の回路を用いることにより、静止画の表示時における外部回路、信号線駆動回路などの消費電力を低減することを課題とする。

【0012】

【課題を解決するための手段】

前述の課題を解決するために、本発明では次のような手段を用いた。

【0013】

画素内に複数の記憶回路を配置し、画素毎にデジタル映像信号を記憶させる。静止画の場合、一度書き込みを行えば、それ以降、画素に書き込まれる情報は同様であるので、フレーム毎に信号の入力を行わなくとも、記憶回路に記憶されている信号を読み出すことによって静止画を継続的に表示することができる。すなわち、静止画を表示する際は、最低1フレーム分の信号の処理動作を行って以降は、外部回路、ソース信号線駆動回路などを停止させておくことが可能となる。

【 0 0 1 4 】

さらに、画素内に配置されている記憶回路の一部は不揮発性のものであり、一度この不揮発性の記憶回路に記憶したデジタル映像信号は、表示装置の電源を遮断した後も継続して記憶しておくことが出来る。よって、再度電源を投入した後に、改めてデジタル映像信号のサンプリングを行うことなく、静止画の表示が可能である。それに伴って電力消費を大きく低減することが可能となる。

【 0 0 1 5 】

以下に、本発明の液晶表示装置の構成について記載する。

【 0 0 1 6 】

請求項 1 に記載の本発明の液晶表示装置は、 n ビット (n は自然数、 $n \geq 2$) のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、1つの画素が $n \times m$ 個 (m は自然数) の揮発性の記憶回路と、 $n \times k$ 個 (k は自然数) の不揮発性の記憶回路とを有することを特徴としている。

【 0 0 1 7 】

請求項 2 に記載の本発明の液晶表示装置は、 n ビット (n は自然数、 $n \geq 2$) のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、1つの画素が $n \times m$ 個 (m は自然数) の揮発性の記憶回路と、 $n \times k$ 個 (k は自然数) の不揮発性の記憶回路とを有し、前記揮発性の記憶回路は、最大 m フレーム分のデジタル映像信号を記憶し、前記不揮発性の記憶回路は、最大 k フレーム分のデジタル映像信号を記憶することを特徴としている。

【 0 0 1 8 】

請求項 3 に記載の本発明の液晶表示装置は、 n ビット (n は自然数、 $n \geq 2$) のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、1つの画素が $n \times m$ 個 (m は自然数) の揮発性の記憶回路と、 $n \times k$ 個 (k は自然数) の不揮発性の記憶回路とを有し、前記液晶表示装置は、クロック信号とスタートパルスとに従って、サンプリングパルスを出力する手段と、前記サンプリングパルスに従って、第 1 のラッチ回路において前記デジタル映像信号の保持を行う手段と、前記第 1 のラッチ回路に保持された前記デジタル映像信号を、第 2 のラッチ回路に転送する手段と、前記第 2 のラッチ回路に保持された前記デジタル映像信

号を、前記揮発性の記憶回路あるいは前記不揮発性の記憶回路に記憶する手段と、前記揮発性の記憶回路に記憶されたデジタル映像信号もしくは前記不揮発性の記憶回路に記憶されたデジタル映像信号を読み出して、映像の表示を行う手段とを有することを特徴としている。

【 0 0 1 9 】

請求項 4 に記載の本発明の液晶表示装置は、 n ビット (n は自然数、 $n \geq 2$) のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、1つの画素が $n \times m$ 個 (m は自然数) の揮発性の記憶回路と、 $n \times k$ 個 (k は自然数) の不揮発性の記憶回路とを有し、前記液晶表示装置は、クロック信号とスタートパルスとに従って、サンプリングパルスを出力する手段と、前記サンプリングパルスに従って、ラッチ回路において前記デジタル映像信号の保持を行う手段と、前記ラッチ回路に保持された前記デジタル映像信号を、前記揮発性の記憶回路あるいは前記不揮発性の記憶回路に記憶する手段と、前記揮発性の記憶回路に記憶されたデジタル映像信号もしくは前記不揮発性の記憶回路に記憶されたデジタル映像信号を読み出して、映像の表示を行う手段とを有することを特徴としている。

【 0 0 2 0 】

請求項 5 に記載の本発明の液晶表示装置は、 n ビット (n は自然数、 $n \geq 2$) のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、1つの画素が $n \times m$ 個 (m は自然数) の揮発性の記憶回路と、 $n \times k$ 個 (k は自然数) の不揮発性の記憶回路とを有し、前記液晶表示装置は、クロック信号とスタートパルスとに従って、サンプリングパルスを出力する手段と、前記サンプリングパルスに従って、第 1 のラッチ回路において前記デジタル映像信号の保持を行う手段と、前記第 1 のラッチ回路に保持された前記デジタル映像信号を、第 2 のラッチ回路に転送する手段と、前記第 2 のラッチ回路に保持された前記デジタル映像信号を、前記揮発性の記憶回路あるいは前記不揮発性の記憶回路に記憶する手段と、前記揮発性の記憶回路に記憶されたデジタル映像信号もしくは前記不揮発性の記憶回路に記憶されたデジタル映像信号を読み出して、映像の表示を行う手段と、前記揮発性の記憶回路から読み出されたデジタル映像信号を再度前記揮発性の記憶回路に記憶する手段とを有することを特徴としている。

【 0 0 2 1 】

請求項 6 に記載の本発明の液晶表示装置は、 n ビット (n は自然数、 $n \geq 2$) のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、1つの画素が $n \times m$ 個 (m は自然数) の揮発性の記憶回路と、 $n \times k$ 個 (k は自然数) の不揮発性の記憶回路とを有し、前記液晶表示装置は、クロック信号とスタートパルスとに従って、サンプリングパルスを出力する手段と、前記サンプリングパルスに従って、ラッチ回路において前記デジタル映像信号の保持を行う手段と、前記ラッチ回路に保持された前記デジタル映像信号を、前記揮発性の記憶回路あるいは前記不揮発性の記憶回路に記憶する手段と、前記揮発性の記憶回路に記憶されたデジタル映像信号もしくは前記不揮発性の記憶回路に記憶されたデジタル映像信号を読み出して、映像の表示を行う手段と、前記揮発性の記憶回路から読み出されたデジタル映像信号を再度前記記憶回路に記憶する手段とを有することを特徴としている。

【 0 0 2 2 】

請求項 7 に記載の本発明の液晶表示装置は、基板上に複数の画素を有する液晶表示装置において、前記複数の画素は、複数の揮発性の記憶回路と、複数の不揮発性の記憶回路とを有し、1フレーム期間中に、前記揮発性の記憶回路もしくは前記不揮発性の記憶回路に記憶されたデジタル映像信号を読み出し、時間階調方式によって階調表示を行うことを特徴としている。

【 0 0 2 3 】

請求項 8 に記載の本発明の液晶表示装置は、請求項 1 乃至請求項 4 または請求項 7 のいずれか 1 項に記載の液晶表示装置において、前記揮発性の記憶回路はスタティック型メモリ (SRAM) であることを特徴としている。

【 0 0 2 4 】

請求項 9 に記載の本発明の液晶表示装置は、請求項 1 乃至請求項 4 または請求項 7 のいずれか 1 項に記載の液晶表示装置において、前記揮発性の記憶回路は強誘電体メモリ (FRAM) であることを特徴としている。

【 0 0 2 5 】

請求項 1 0 に記載の本発明の液晶表示装置は、請求項 1 または請求項 2 または

請求項 5 乃至請求項 7 のいずれか 1 項に記載の液晶表示装置において、前記揮発性の記憶回路はダイナミック型メモリ（DRAM）であることを特徴としている。

【 0 0 2 6 】

請求項 1 1 に記載の本発明の液晶表示装置は、請求項 1 乃至請求項 1 0 のいずれか 1 項に記載の液晶表示装置において、静止画像の表示期間においては、前記揮発性の記憶回路もしくは前記不揮発性の記憶回路に記憶されたデジタル映像信号を繰り返し読み出して静止画像の表示を行うことにより、ソース信号線駆動回路を停止することを特徴としている。

【 0 0 2 7 】

請求項 1 2 に記載の本発明の液晶表示装置は、請求項 1 乃至請求項 1 0 のいずれか 1 項に記載の液晶表示装置において、静止画像の表示期間においては、前記揮発性の記憶回路もしくは前記不揮発性の記憶回路に記憶されたデジタル映像信号を繰り返し読み出して静止画像の表示を行うことにより、外部回路を停止することを特徴としている。

【 0 0 2 8 】

請求項 1 3 に記載の本発明の液晶表示装置は、請求項 1 乃至請求項 1 2 のいずれか 1 項に記載の液晶表示装置において、電源投入時に、前記不揮発性の記憶回路に記憶されたデジタル映像信号を読み出して表示を行うことを特徴としている。

【 0 0 2 9 】

請求項 1 4 に記載の本発明の液晶表示装置は、請求項 1 乃至請求項 1 3 のいずれか 1 項に記載の液晶表示装置において、前記揮発性の記憶回路は、ゲート信号線 1 ラインごとに選択的に書き換えが可能であることを特徴としている。

【 0 0 3 0 】

請求項 1 5 に記載の本発明の液晶表示装置は、請求項 1 乃至請求項 1 3 のいずれか 1 項に記載の液晶表示装置において、前記不揮発性の記憶回路は、ゲート信号線 1 ラインごとに選択的に書き換えが可能であることを特徴としている。

【 0 0 3 1 】

請求項 1 6 に記載の本発明の液晶表示装置は、請求項 1 乃至請求項 1 5 のいずれか 1 項に記載の液晶表示装置において、前記記憶回路は、ガラス基板上に形成されていることを特徴としている。

【 0 0 3 2 】

請求項 1 7 に記載の本発明の液晶表示装置は、請求項 1 乃至請求項 1 5 のいずれか 1 項に記載の液晶表示装置において、前記記憶回路は、プラスチック基板上に形成されていることを特徴としている。

【 0 0 3 3 】

請求項 1 8 に記載の本発明の液晶表示装置は、請求項 1 乃至請求項 1 5 のいずれか 1 項に記載の液晶表示装置において、前記記憶回路は、ステンレス基板上に形成されていることを特徴としている。

【 0 0 3 4 】

請求項 1 9 に記載の本発明の液晶表示装置は、請求項 1 乃至請求項 1 5 のいずれか 1 項に記載の液晶表示装置において、前記記憶回路は、単結晶ウェハ上に形成されていることを特徴としている。

【 0 0 3 5 】

請求項 2 0 に記載の本発明の液晶表示装置は、請求項 1 乃至請求項 1 9 のいずれか 1 項に記載の液晶表示装置において、前記液晶表示装置の画素部には、強誘電性液晶材料もしくは半強誘電性液晶材料を用いることを特徴としている。

【 0 0 3 6 】

【発明の実施の形態】

図 2 は、記憶回路を有する画素を用いた液晶表示装置における、ソース信号線駆動回路および一部の画素の構成を示したものである。この回路は、3 ビットデジタル階調信号に対応したものであり、シフトレジスタ回路 2 0 1、第 1 のラッチ回路 2 0 2、第 2 のラッチ回路 2 0 3、ビット信号選択スイッチ 2 0 4、画素 2 0 5 を有する。2 1 0 は、ゲート信号線駆動回路あるいは外部から直接供給される信号であり、画素の説明とともに後述する。

【 0 0 3 7 】

図 1 は、図 2 における画素 2 0 5 における回路構成を詳細に示したものである

。この画素は、3ビットデジタル階調に対応したものであり、液晶素子（LC）、保持容量（Cs）、揮発性の記憶回路（A1～A3およびB1～B3）、不揮発性の記憶回路（C1～C3）等を有している。101はソース信号線、102～104は書き込み用ゲート信号線、105～107は、読み出し用ゲート信号線、108～110は書き込み用TFT、111～113は読み出し用TFT、114は第1の書き込み用記憶回路選択部、115は第1の読み出し用記憶回路選択部、116は第2の書き込み用記憶回路選択部、117は第2の読み出し用記憶回路選択部、118は第3の書き込み用記憶回路選択部、119は第3の読み出し用記憶回路選択部、120～122は不揮発性の記憶回路C1～C3への書き込み制御信号線、123は第1の不揮発性の記憶回路選択部、124は第2の不揮発性の記憶回路選択部、125は第3の不揮発性の記憶回路選択部である。

【0038】

図3は、図1に示した本発明の表示装置におけるタイミングチャートである。表示装置は3ビットデジタル階調、VGAのものを対象としている。図1～図3を用いて、駆動方法について説明する。なお、各番号は、図1～図3のものをそのまま用いる（図番は省略する）。

【0039】

図2および図3（A）（B）を参照する。図3（A）において、各フレーム期間を α 、 β 、 γ 、 δ と表記して説明する。まず、区間 α における回路動作について説明する。

【0040】

従来のデジタル方式の駆動回路の場合と同様に、シフトレジスタ回路201にクロック信号（S-CLK、S-CLKb）およびスタートパルス（S-SP）が入力され、順次サンプリングパルスが出力される。続いて、サンプリングパルスは第1のラッチ回路202（LAT1）に入力され、同じく第1のラッチ回路202に入力されたデジタル映像信号（Digital Data）をそれぞれ保持していく。この期間を、本明細書においてはドットデータサンプリング期間と表記する。1水平期間分のドットデータサンプリング期間は、図3（A）にお

いて1～480で示す各期間である。デジタル映像信号は3ビットであり、D1がMSB (Most Significant Bit)、D3がLSB (Least Significant Bit) である。第1のラッチ回路202において、1水平周期分のデジタル映像信号の保持が完了すると、帰線期間中に、第1のラッチ回路202で保持されているデジタル映像信号は、ラッチ信号(Latch Pulse)の入力に従い、一斉に第2のラッチ回路203(LAT2)へと転送される。

【0041】

続いて、再びシフトレジスタ回路201から出力されるサンプリングパルスに従い、次水平周期分のデジタル映像信号の保持動作が行われる。

【0042】

一方、第2のラッチ回路203に転送されたデジタル映像信号は、画素内に配置された揮発性の記憶回路に書き込まれる。図3(B)に示すように、次列のドットデータサンプリング期間をI、IIおよびIIIと3分割し、第2のラッチ回路に保持されているデジタル映像信号をソース信号線に出力する。このとき、ビット信号選択スイッチ204によって、各ビットの信号が順番にソース信号線に出力されるように選択的に接続される。

【0043】

期間Iでは、書き込み用ゲート信号線102にパルスが入力されてTFT108が導通し、記憶回路選択部114が記憶回路A1を選択し、記憶回路A1にデジタル映像信号が書き込まれる。続いて、期間IIでは、書き込み用ゲート信号線103にパルスが入力されてTFT109が導通し、記憶回路選択部116が記憶回路A2を選択し、記憶回路A2にデジタル映像信号が書き込まれる。最後に、期間IIIでは、書き込み用ゲート信号線104にパルスが入力されてTFT110が導通し、記憶回路選択部118が記憶回路A3を選択し、記憶回路A3にデジタル映像信号が書き込まれる。

【0044】

以上で、1水平期間分のデジタル映像信号の処理が終了する。図3(B)の期間は、図3(A)において※印で示された期間である。以上の動作を最終段まで行うことにより、1フレーム分のデジタル映像信号が記憶回路Aに書き込まれる

【 0 0 4 5 】

ところで、本発明の表示装置においては、3ビットのデジタル階調を、時間階調方式により表現する。時間階調方式とは、画素に印加する電圧によって輝度の制御を行う通常の方式と異なり、画素には2種類の電圧のみを印加してON、OFF（表示上は白、黒）の2状態を用い、表示時間の差を利用して階調を得る方式である。時間階調方式においてnビットの階調表現を行う際には、その表示期間をn個の期間に分割し、各期間の長さの比を $2^{n-1} : 2^{n-2} : \dots : 2^0$ のように2のべき乗とし、どの期間で画素をONの状態にするかによって、表示期間の長さに差を生じ、もって階調の表現を行う。なお、ここで画素がONの状態にあるとは、電圧が印加されている状態をいい、OFFの状態にあるとは、電圧が印加されていない状態を言う。以下このような状態をON、OFFとして表記する。

【 0 0 4 6 】

また、表示期間の長さを2のべき乗以外の区分によって階調表示を行うようにしても表示は可能である。

【 0 0 4 7 】

以上をふまえて、区間βにおける動作について説明する。最終段における記憶回路への書き込みが終了すると、1フレーム目の表示が行われる。図3（C）は、3ビットの時間階調方式について説明する図である。今、デジタル映像信号は、ビットごとに記憶回路A1～A3に記憶されている。Ts1は、第1ビットデータによる表示期間、Ts2は、第2ビットデータによる表示期間、Ts3は、第3ビットデータによる表示期間であり、各表示期間の長さは、 $Ts1 : Ts2 : Ts3 = 4 : 2 : 1$ となっている。

【 0 0 4 8 】

ここでは3ビットであるから、輝度は0～7までの8段階が得られる。Ts1～Ts3のいずれの期間においても表示が行われない場合には輝度0、全ての期間を用いて表示を行えば輝度7を得る。例えば、輝度5を表示したい場合には、Ts1とTs3において画素をONの状態とし、表示させればよい。

【 0 0 4 9 】

具体的に図を用いて説明する。T s 1 においては、読み出し用ゲート信号線 1 0 5 にパルスが入力されて T F T 1 1 1 が導通し、記憶回路選択部 1 1 5 が記憶回路 A 1 を選択し、記憶回路 A 1 に記憶されたデジタル映像信号にしたがって画素が駆動される。続いて、T s 2 においては、読み出し用ゲート信号線 1 0 6 にパルスが入力されて T F T 1 1 2 が導通し、記憶回路選択部 1 1 7 が記憶回路 A 2 を選択し、記憶回路 A 2 に記憶されたデジタル映像信号にしたがって画素が駆動される。最後に、T s 3 においては、読み出し用ゲート信号線 1 0 7 にパルスが入力されて T F T 1 1 3 が導通し、記憶回路選択部 1 1 9 が記憶回路 A 3 を選択し、記憶回路 A 3 に記憶されたデジタル映像信号によって画素に電圧が印加される。

【 0 0 5 0 】

ここで、液晶表示装置の場合は、ノーマリーホワイトモードと、ノーマリーブラックモードがある。両者において、画素の O N 、 O F F で白、黒が逆となるため、前述の説明と輝度とが逆になる場合もある。

【 0 0 5 1 】

以上のようにして、1 フレーム期間分の表示が行われる。一方、駆動回路側では、同時に次のフレーム期間のデジタル映像信号の処理が行われている。第 2 のラッチ回路へのデジタル映像信号の転送までは前述と同様の手順である。続く記憶回路への書き込み期間においては、もう一方の記憶回路を用いる。

【 0 0 5 2 】

期間 I では、書き込み用ゲート信号線 1 0 2 にパルスが入力されて T F T 1 0 8 が導通し、記憶回路選択部 1 1 4 が記憶回路 B 1 を選択し、記憶回路 B 1 にデジタル映像信号が書き込まれる。続いて、期間 II では、書き込み用ゲート信号線 1 0 3 にパルスが入力されて T F T 1 0 9 が導通し、記憶回路選択部 1 1 6 が記憶回路 B 2 を選択し、記憶回路 B 2 にデジタル映像信号が書き込まれる。最後に、期間 III では、書き込み用ゲート信号線 1 0 4 にパルスが入力されて T F T 1 1 0 が導通し、記憶回路選択部 1 1 8 が記憶回路 B 3 を選択し、記憶回路 B 3 にデジタル映像信号が書き込まれる。

【0053】

続いて、区間 γ に入り、記憶回路B1～B3に記憶されたデジタル映像信号に従って2フレーム目の表示が行われる。同時に、次のフレーム期間のデジタル映像信号の処理が開始される。このデジタル映像信号は、1フレーム目の表示が終了した記憶回路A1～A3に再び記憶される。

【0054】

その後、記憶回路A1～A3に記憶されたデジタル映像信号の表示が区間 δ で行われ、同時に次のフレーム期間のデジタル映像信号の処理が開始される。このデジタル映像信号は、2フレーム目の表示が終了した記憶回路B1～B3に再び記憶される。

【0055】

不揮発性の記憶回路C1～C3へのデジタル映像信号の書き込みは、表示期間中において、読み出しが行われていないビットの記憶回路で行う。例えば、揮発性の記憶回路A1に書き込まれたデジタル映像信号に基づいて表示を行っている期間では、A2、A3からのデジタル映像信号の読み出しは行われていないので、その期間を利用して不揮発性の記憶回路C2、C3への書き込みを行えばよい。よって、不揮発性の記憶回路への書き込みは、最下位ビットデータに基づく点灯時間（図3（C）に示す、 T_{s3} がその時間に当たる）よりも短い時間で完了する必要がある。

【0056】

以上の動作を繰り返して、映像の表示が継続的に行われる。ここで、静止画を表示する場合には、最初の動作で記憶回路A1～A3にいったんデジタル映像信号が記憶されてからは、各フレーム期間で記憶回路A1～A3に記憶されたデジタル映像信号を反復して読み出せば良い。したがってこの静止画が表示されている期間中は、外部回路、ソース信号線駆動回路などの駆動を停止させることが出来る。

【0057】

また、画素部に配置されている不揮発性の記憶回路C1～C3にデジタル映像信号を書き込んでおくことで、液晶表示装置の電源を遮断した後も継続して記憶

しておくことが出来る。よって、再度電源を入れた後に、改めてデジタル映像信号のサンプリングを行うことなく、静止画の表示が可能である。

【 0 0 5 8 】

さらに、記憶回路へのデジタル映像信号の書き込み、あるいは記憶回路からのデジタル映像信号の読み出しは、ゲート信号線 1 本単位で行うことが可能である。すなわち、ソース信号線駆動回路を短期間のみ動作させ、画面の一部のみを書き換えるなどといった表示方法をとることも出来る。この場合は、ゲート信号線駆動回路として、デコーダを使うのが望ましい。デコーダを使用する場合には、特開平 8 - 1 0 1 6 0 9 に開示された回路を用いればよく、図 2 0 に一例を示す。また、ソース信号線駆動回路にもデコーダを用いて部分書き換えを行うことも可能である。

【 0 0 5 9 】

また、本実施形態においては、1 画素内に A 1 ~ A 3 および B 1 ~ B 3 の揮発性の記憶回路を有し、3 ビットのデジタル映像信号を 2 フレーム分だけ記憶する機能を有しているが、本発明はこの数に限定しない。つまり、 n ビットのデジタル映像信号を m フレーム分だけ記憶するには、1 画素内に $n \times m$ 個の記憶回路を有していれば良い。

【 0 0 6 0 】

同様に、本実施形態においては、1 画素内に C 1 ~ C 3 の不揮発性の記憶回路を有し、3 ビットのデジタル映像信号を 1 フレーム分だけ記憶する機能を有しているが、本発明はこの数に限定しない。つまり、 n ビットのデジタル映像信号を、電源を遮断した後も k フレーム分だけ記憶しておくには、1 画素内に $n \times k$ 個の不揮発性の記憶回路を有していれば良い。

【 0 0 6 1 】

以上の方法により、画素内に実装された記憶回路を用いてデジタル映像信号の記憶を行うことにより、静止画を表示する際に各フレーム期間で記憶回路に記憶されたデジタル映像信号を反復して用い、外部回路、ソース信号線駆動回路などを駆動することなく、継続的に静止画表示が可能となる。よって、液晶表示装置の低消費電力化に大きく貢献することが出来る。

【 0 0 6 2 】

また、ソース信号線駆動回路に関しては、ビット数に応じて増加するラッチ回路等の配置の問題から、必ずしも絶縁体上に一体形成する必要はなく、その一部あるいは全部を外付けで構成しても良い。

【 0 0 6 3 】

さらに、本実施形態にて示したソース信号線駆動回路においては、ビット数に応じたラッチ回路を配置しているが、1ビット分のみ配置して動作させることも可能である。この場合、上位ビットから下位ビットのデジタル映像信号を直列にラッチ回路に入力すれば良い。

【 0 0 6 4 】

【実施例】

以下に本発明の実施例について記述する。

【 0 0 6 5 】

[実施例 1]

本実施例においては、実施形態において示した回路における記憶回路選択部を、具体的にトランジスタ等を用いて構成し、その動作について説明する。

【 0 0 6 6 】

図 4 (A) は、図 1 に示した画素と同様のもので、記憶回路 A 1 ~ A 3、B 1 ~ B 3 および C 1 ~ C 3 周辺を実際に回路で構成した例である。図 4 (A) 中、各部に付した番号において、図 1 と同じ部位については番号を省略している。揮発性の記憶回路 A 1 ~ A 3 および B 1 ~ B 3 の各々に、書き込み選択用 T F T 4 0 1、4 0 3、4 0 5、4 0 7、4 0 9、4 1 1 と、読み出し選択用 T F T 4 0 2、4 0 4、4 0 6、4 0 8、4 1 0、4 1 2 とを設け、記憶回路選択信号線 4 1 3、4 1 4 をもって制御する。不揮発性の記憶回路 C 1 ~ C 3 の各々は、スイッチ回路 S 1 ~ S 3、ビット線 4 1 5、ワード線 4 1 6、4 1 8、4 2 0 読み出し制御線 4 1 7、4 1 9、4 2 1 をもって制御する。

【 0 0 6 7 】

図 4 (B) は、揮発性の記憶回路の一例を示したものである。点線枠 4 5 0 で示される部分が記憶回路 (図 4 (A) 中、A 1 ~ A 3 および B 1 ~ B 3 で示す部

分) であり、4 5 1 は書き込み選択用 T F T、4 5 2 は読み出し選択用 T F T である。ここで示した記憶回路には、フリップフロップを利用したスタティック型メモリ (Static RAM : SRAM) を用いているが、記憶回路に関してはこの構成に限定しない。

【 0 0 6 8 】

図 4 (C) は、不揮発性の記憶回路の一例を示したものである。点線枠 4 6 0 で示される部分が記憶回路 (図 4 (A) 中、C 1 ~ C 3 で示す部分) であり、4 6 1 はメモリ T F T、4 6 2 は選択用 T F T、4 6 3 はビット線、4 6 4 はワード線、4 6 5 はメモリ選択線である。

【 0 0 6 9 】

本実施例にて図 4 (A) で示した回路の駆動は、実施形態にて図 3 を用いて示したタイミングチャートに従って駆動することが出来る。図 3、図 4 (A) を用いて、記憶回路選択部の実際の駆動方法を加えて、回路動作について説明する。なお、各番号は、図 3、図 4 (A) のものをそのまま用いる (図番は省略する)。

【 0 0 7 0 】

図 3 (A) (B) を参照する。図 3 (A) において、各フレーム期間を α 、 β 、 γ 、 δ と表記して説明する。まず、区間 α における回路動作について説明する。

【 0 0 7 1 】

シフトレジスタ回路から第 2 のラッチ回路までの駆動方法に関しては実施形態にて示したものと同様であるのでそれに従う。

【 0 0 7 2 】

まず、記憶回路選択信号線 4 1 3 にパルスが入力されて書き込み選択用 T F T 4 0 1、4 0 5、4 0 9 が導通し、記憶回路 A 1 ~ A 3 への書き込みが可能な状態となる。期間 I では、書き込み用ゲート信号線 1 0 2 にパルスが入力されて T F T 1 0 8 が導通し、記憶回路 A 1 にデジタル映像信号が書き込まれる。続いて、期間 II では、書き込み用ゲート信号線 1 0 3 にパルスが入力されて T F T 1 0 9 が導通し、記憶回路 A 2 にデジタル映像信号が書き込まれる。最後に、期間 II

Iでは、書き込み用ゲート信号線104にパルスが入力されてTFT110が導通し、記憶回路A3にデジタル映像信号が書き込まれる。

【0073】

以上で、1水平期間分のデジタル映像信号の処理が終了する。図3(B)の期間は、図3(A)において※印で示された期間である。以上の動作を最終段まで行うことにより、1フレーム分のデジタル映像信号が記憶回路A1～A3に書き込まれる。

【0074】

続いて、区間βにおける動作について説明する。最終段における記憶回路への書き込みが終了すると、1フレーム目の表示が行われる。図3(C)は、3ビットの時間階調方式について説明する図である。今、デジタル映像信号は、ビットごとに記憶回路A1～A3に記憶されている。Ts1は、第1ビットデータによる表示期間、Ts2は、第2ビットデータによる表示期間、Ts3は、第3ビットデータによる表示期間であり、各表示期間の長さは、Ts1 : Ts2 : Ts3 = 4 : 2 : 1となっている。

【0075】

ただし、表示期間の長さを2のべき乗以外の区分によって階調表示を行うようにしても表示は可能である。

【0076】

ここでは3ビットであるから、輝度は0～7までの8段階が得られる。Ts1～Ts3のいずれの期間においても表示が行われない場合には輝度0、全ての期間を用いて表示を行えば輝度7を得る。例えば、輝度5を表示したい場合には、Ts1とTs3において画素をONの状態とし、表示させればよい。

【0077】

具体的に図を用いて説明する。記憶回路への書き込み動作が終了した後、表示期間に移る際に、記憶回路選択信号線413に入力されていたパルスが終了し、同時に記憶回路選択信号線414にパルスが入力され、書き込み用TFT401、405、409は非導通状態となり、読み出し用TFT402、406、410が導通して、記憶回路A1～A3からの読み出しが可能な状態となる。Ts1に

においては、読み出し用ゲート信号線 1 0 5 にパルスが入力されて T F T 1 1 1 が導通し、記憶回路 A 1 に記憶されたデジタル映像信号にしたがって画素が駆動される。続いて、T s 2 においては、読み出し用ゲート信号線 1 0 6 にパルスが入力されて T F T 1 1 2 が導通し、記憶回路 A 2 に記憶されたデジタル映像信号にしたがって画素が駆動される。最後に、T s 3 においては、読み出し用ゲート信号線 1 0 7 にパルスが入力されて T F T 1 1 3 が導通し、記憶回路 A 3 に記憶されたデジタル映像信号によって画素に電圧が印加される。

【 0 0 7 8 】

以上のようにして、1 フレーム期間分の表示が行われる。一方、駆動回路側では、同時に次のフレーム期間のデジタル映像信号の処理が行われている。第 2 のラッチ回路へのデジタル映像信号の転送までは前述と同様の手順である。続く記憶回路への書き込み期間においては、記憶回路 B 1 ～ B 3 を用いる。

【 0 0 7 9 】

なお、記憶回路 A 1 ～ A 3 に信号が書き込まれる期間においては、記憶回路 A 1 ～ A 3 への書き込み用 T F T 4 0 1、4 0 5、4 0 9 が導通しているが、同時に記憶回路 B 1 ～ B 3 からの読み出し用 T F T 4 0 4、4 0 8、4 1 2 も導通している。同様に、記憶回路 A 1 ～ A 3 からの読み出し用 T F T 4 0 2、4 0 6、4 1 0 が導通しているときは、同時に記憶回路 B 1 ～ B 3 への書き込み用 T F T 4 0 3、4 0 7、4 1 1 も導通しており、互いの記憶回路はあるフレーム期間において書き込みと読み出しが交互に行われる。

【 0 0 8 0 】

期間 I では、書き込み用ゲート信号線 1 0 2 にパルスが入力されて T F T 1 0 8 が導通し、記憶回路 B 1 にデジタル映像信号が書き込まれる。続いて、期間 II では、書き込み用ゲート信号線 1 0 3 にパルスが入力されて T F T 1 0 9 が導通し、記憶回路 B 2 にデジタル映像信号が書き込まれる。最後に、期間 III では、書き込み用ゲート信号線 1 0 4 にパルスが入力されて T F T 1 1 0 が導通し、記憶回路 B 3 にデジタル映像信号が書き込まれる。

【 0 0 8 1 】

続いて、区間 γ に入り、記憶回路 B 1 ～ B 3 に記憶されたデジタル映像信号に

従って2フレーム目の表示が行われる。同時に、次のフレーム期間のデジタル映像信号の処理が開始される。このデジタル映像信号は、1フレーム目の表示が終了した記憶回路A1～A3に再び記憶される。

【0082】

その後、記憶回路A1～A3に記憶されたデジタル映像信号の表示が区間δで行われ、同時に次のフレーム期間のデジタル映像信号の処理が開始される。このデジタル映像信号は、2フレーム目の表示が終了した記憶回路B1～B3に再び記憶される。

【0083】

続いて、不揮発性の記憶回路C1～C3へのデジタル映像信号の書き込み、読み出し動作について簡単に説明する。不揮発性の記憶回路C1～C3への書き込みは、表示期間を利用することは実施形態で述べたとおりである。また、書き込みの方法については、使用する不揮発性の記憶回路の形式によるので、ここでは説明を省略する。このとき、スイッチ回路S1～S3は、それぞれ不揮発性の記憶回路C1～C3におけるデジタル映像信号への書き込みおよび読み出しの選択を行う。不揮発性の記憶回路C1～C3に記憶されたデジタル映像信号を読み出して静止画の表示を行っている際には、揮発性の記憶回路A1～A3およびB1～B3からのデジタル映像信号の読み出しは行われない。ただし、書き込みは行っておいても良い。その場合、書き込み選択用TFT401、403、405、407、409、411と、読み出し選択用TFT402、404、406、408、410、412とは、独立した信号線を用いて制御し、読み出し選択用TFT402、404、406、408、410、412を非導通状態としておけば良い。

【0084】

以上の手順を繰り返すことにより、映像の表示を行う。なお、静止画の表示を行う場合には、あるフレームのデジタル映像信号の、記憶回路への書き込みが終了したら、ソース信号線駆動回路を停止させ、同じ記憶回路に書き込まれている信号を毎フレームで読み込んで表示を行う。このような方法により、静止画の表示中における消費電力を大きく低減することが出来る。さらに、不揮発性の記憶

回路を用いてデジタル映像信号を記憶することによって、表示装置の電源を遮断した後も、静止画のデジタル映像信号を記憶することが可能であり、再度電源を投入した後も、静止画の表示を行うことが出来る。

【0085】

[実施例2]

本実施例においては、画素部の記憶回路への書き込みを点順次で行うことにより、ソース信号線駆動回路の第2のラッチ回路を省略した例について記す。

【0086】

図5は、記憶回路を有する画素を用いた液晶表示装置における、ソース信号線駆動回路および一部の画素の構成を示したものである。この回路は、3ビットデジタル階調信号に対応したものであり、シフトレジスタ回路501、ラッチ回路502、画素503を有する。510は、ゲート信号線駆動回路あるいは外部から直接供給される信号であり、画素の説明とともに後述する。

【0087】

図6は、図5に示した画素503の回路構成の詳細図である。実施例1と同様、3ビットデジタル階調に対応したものであり、液晶素子(LC)、揮発性の記憶回路(A1～A3およびB1～B3)、不揮発性の記憶回路(C1～C3)等を有している。601は第1ビット(MSB)信号用ソース信号線、602は第2ビット信号用ソース信号線、603は第3ビット(LSB)信号用ソース信号線、604は書き込み用ゲート信号線、605～607は、読み出し用ゲート信号線、608～610は書き込み用TFT、611～613は読み出し用TFTである。揮発性の記憶回路の選択部は、書き込み選択用TFT614、616、618、620、622、624および読み出し選択用TFT615、617、619、621、623、625等を用いて構成される。626および627は、記憶回路選択信号線である。不揮発性の記憶回路C1～C3に関しても、実施例1と同様、ビット線628、ワード線629、631、633、選択線630、632、634およびスイッチ回路S1～S3をもって制御を行う。

【0088】

図7は、本実施例にて示した回路の駆動に関するタイミングチャートである。

図 5、図 6 および図 7 を用いて説明する。

【0089】

シフトレジスタ回路 501 からラッチ回路 (LAT1) 502 までの動作は実施形態および実施例 1 と同様に行われる。図 7 (B) に示すように、第 1 段目のラッチ動作が終了すると、直ちに画素内に有する揮発性の記憶回路への書き込みを開始する。書き込み用ゲート信号線 604 にパルスが入力され、書き込み用 TFT 608 ~ 610 が導通し、さらに記憶回路選択信号線 626 にパルスが入力されて書き込み選択用 TFT 614、618、622 が導通して、揮発性の記憶回路 A1 ~ A3 への書き込みが可能な状態となる。ラッチ回路 502 に保持されたビット毎のデジタル映像信号は、3 本のソース信号線 601 ~ 603 を經由して、同時に書き込まれる。

【0090】

第 1 段目でラッチ回路に保持されたデジタル映像信号が、揮発性の記憶回路へ書き込まれているとき、次段では続くサンプリングパルスに従って、ラッチ回路においてデジタル映像信号の保持が行われている。このようにして、順次揮発性の記憶回路への書き込みが行われていく。

【0091】

以上を 1 水平期間 (図 7 (A) 中、※※で示す期間) 内に行い、ゲート信号線の本数分が繰り返されて、区間 α における 1 フレーム分のデジタル映像信号の揮発性の記憶回路への書き込みが終了すると、区間 β で示される、1 フレーム目の表示期間に移る。書き込み用ゲート信号線 604 に入力されていたパルスが停止し、さらに記憶回路選択信号線 626 に入力されていたパルスが停止し、代わって記憶回路選択信号線 627 にパルスが入力されて読み出し選択用 TFT 615、619、623 が導通し、揮発性の記憶回路 A1 ~ A3 からの読み出しが可能な状態となる。

【0092】

続いて、実施例 1 で示した時間階調方式により、図 7 (C) に示すように、表示期間 T_{s1} では、読み出し用ゲート信号線 605 にパルスが入力されて読み出し用 TFT 611 が導通し、揮発性の記憶回路 A1 に書き込まれているデジタル

映像信号により、表示が行われる。続いてT s 2では、読み出し用ゲート信号線6 0 6にパルスが入力されて読み出し用T F T 6 1 2が導通し、揮発性の記憶回路A 2に書き込まれているデジタル映像信号により、表示が行われ、同様にT s 3では、読み出し用ゲート信号線6 0 7にパルスが入力されて読み出し用T F T 6 1 3が導通し、揮発性の記憶回路A 3に書き込まれているデジタル映像信号により、表示が行われる。

【0 0 9 3】

以上で、1フレーム目の表示期間が完了する。区間βでは、同時に次のフレームにおけるデジタル映像信号の処理が行われる。ラッチ回路5 0 2へのデジタル映像信号の保持までは前述と同様の手順である。続く揮発性の記憶回路への書き込み期間においては、揮発性の記憶回路B 1～B 3を用いる。

【0 0 9 4】

なお、揮発性の記憶回路A 1～A 3に信号が書き込まれる期間においては、揮発性の記憶回路A 1～A 3への書き込み用T F T 6 1 4、6 1 8、6 2 2が導通しているが、同時に揮発性の記憶回路B 1～B 3からの読み出し用T F T 6 1 7、6 2 1、6 2 5も導通している。同様に、揮発性の記憶回路A 1～A 3からの読み出し用T F T 6 1 5、6 1 9、6 2 3が導通しているときは、同時に揮発性の記憶回路B 1～B 3への書き込み用T F T 6 1 6、6 2 0、6 2 4も導通しており、互いの揮発性の記憶回路は、あるフレーム期間において書き込みと読み出しが交互に行われる。

【0 0 9 5】

記憶回路B 1～B 3への書き込み動作、読み出し動作は揮発性の記憶回路A 1～A 3の場合と同様である。揮発性の記憶回路B 1～B 3への書き込みが終了すると、区間γに入り、2フレーム目の表示期間に移る。さらにこの区間では、次のフレームにおけるデジタル映像信号の処理が行われる。ラッチ回路5 0 2へのデジタル映像信号の保持までは前述と同様の手順である。続く揮発性の記憶回路への書き込み期間においては、再び揮発性の記憶回路A 1～A 3を用いる。

【0 0 9 6】

その後、揮発性の記憶回路A 1～A 3に記憶されたデジタル映像信号の表示が

区間δで行われ、同時に次のフレーム期間のデジタル映像信号の処理が開始される。このデジタル映像信号は、2フレーム目の表示が終了した揮発性の記憶回路B1～B3に再び記憶される。

【0097】

続いて、不揮発性の記憶回路C1～C3へのデジタル映像信号の書き込み、読み出し動作について簡単に説明する。不揮発性の記憶回路C1～C3への書き込みは、表示期間を利用することは実施形態で述べたとおりである。このとき、スイッチ回路S1～S3は、それぞれ不揮発性の記憶回路C1～C3におけるデジタル映像信号への書き込みおよび読み出しの選択を行う。不揮発性の記憶回路C1～C3に記憶されたデジタル映像信号を読み出して静止面の表示を行っている際には、揮発性の記憶回路A1～A3およびB1～B3からのデジタル映像信号の読み出しは行われぬ。ただし、書き込みは行っておいても良い。その場合、書き込み選択用TFT614, 616, 618, 620, 622, 624と、読み出し選択用TFT615, 617, 619, 621, 623, 625とは、独立した信号線を用いて制御し、読み出し選択用TFT615, 617, 619, 621, 623, 625を非導通状態としておけば良い。

【0098】

以上の手順を繰り返すことにより、映像の表示を行う。静止面の表示を行う場合には、あるフレームのデジタル映像信号の、記憶回路への書き込みが終了したら、ソース信号線駆動回路を停止させ、同じ記憶回路に書き込まれている信号を毎フレームで読み込んで表示を行う。さらに、一度電源を遮断し、再度電源を投入した後に静止面を表示するときには、不揮発性の記憶回路C1～C3に記憶されているデジタル映像信号に基づき表示を行う。このような方法により、静止面の表示中における消費電力を大きく低減することが出来る。さらに、実施例1にて示した回路と比較すると、ラッチ回路の数を1/2とすることが出来、回路配置の省スペース化による装置全体の小型化に貢献出来る。

【0099】

[実施例3]

本実施例においては、実施例2にて示した、第2のラッチ回路を省略した液晶

表示装置の回路構成を応用し、線順次駆動により画素内の記憶回路への書き込みを行う方法を用いた液晶表示装置の例について記す。

【0100】

図17は、本実施例にて示す液晶表示装置のソース信号線駆動回路の回路構成例を示している。この回路は、3ビットデジタル階調信号に対応したものであり、シフトレジスタ回路1701、ラッチ回路1702、スイッチ回路1703、画素1704を有する。1710は、ゲート信号線駆動回路あるいは外部から直接供給される信号である。画素の回路構成に関しては、実施例2のものと同様で良いので、図6をそのまま参照する。

【0101】

図18は、本実施例にて示した回路の駆動に関するタイミングチャートである。図6、図17および図18を用いて説明する。

【0102】

シフトレジスタ回路1701からサンプリングパルスが出力され、ラッチ回路1702で、サンプリングパルスに従ってデジタル映像信号を保持するまでの動作は、実施例1および実施例2と同様である。本実施例では、ラッチ回路1702と画素1704内の揮発性の記憶回路との間に、スイッチ回路1703を有しているため、ラッチ回路でのデジタル映像信号の保持が完了しても、直ちに揮発性の記憶回路への書き込みが開始されない。ドットデータサンプリング期間が終了するまでの間は、スイッチ回路1703は閉じたままであり、その間、ラッチ回路ではデジタル映像信号が保持され続ける。

【0103】

図18(B)に示すように、1水平期間分のデジタル映像信号の保持が完了すると、その後の帰線期間中にラッチ信号(Latch Pulse)が入力されてスイッチ回路1703が一斉に開き、ラッチ回路1702で保持されていたデジタル映像信号は一斉に画素1704内の揮発性の記憶回路に書き込まれる。このときの書き込み動作に関わる、画素1704内の動作、さらに次のフレーム期間における表示の再の読み出し動作に関わる、画素1704内の動作については、実施例2と同様で良いので、ここでは説明を省略する。同様に、不揮発性の記

憶回路への書き込み方法およびタイミングに関しても、実施例 2 に従うので、ここでは説明を省略する。

【0104】

以上の方法によって、ラッチ回路を省略したソース信号線駆動回路においても、線順次の書き込み駆動を容易に行うことが出来る。

【0105】

[実施例 4]

本実施例では、本発明の表示装置の画素部とその周辺に設けられる駆動回路部（ソース信号線側駆動回路、ゲート信号線側駆動回路、画素選択信号線側駆動回路）の TFT、さらに不揮発性記憶回路部を同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位である CMOS 回路を図示することとする。

【0106】

まず、図 9 (A) に示すように、コーニング社の # 7 0 5 9 ガラスや # 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板 5 0 0 1 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 5 0 0 2 を形成する。例えば、プラズマ CVD 法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜 5 0 0 2 a を 1 0 ~ 2 0 0 [nm]（好ましくは 5 0 ~ 1 0 0 [nm]）形成し、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜 5 0 0 2 b を 5 0 ~ 2 0 0 [nm]（好ましくは 1 0 0 ~ 1 5 0 [nm]）の厚さに積層形成する。本実施例では下地膜 5 0 0 2 を 2 層構造として示したが、前記絶縁膜の単層膜または 2 層以上積層させた構造として形成しても良い。

【0107】

島状半導体層 5 0 0 3 ~ 5 0 0 6 は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層 5 0 0 3 ~ 5 0 0 6 の厚さは 2 5 ~ 8 0 [nm]（好ましくは 3 0 ~ 6 0 [nm]）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。

【 0 1 0 8 】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30 [Hz]とし、レーザーエネルギー密度を100～400 [mJ/cm²] (代表的には200～300 [mJ/cm²])とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1～10 [kHz]とし、レーザーエネルギー密度を300～600 [mJ/cm²] (代表的には350～500 [mJ/cm²])とする。そして幅100～1000 [μm]、例えば400 [μm]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を80～98 [%]として行う。

【 0 1 0 9 】

次いで、島状半導体層5003～5006を覆うゲート絶縁膜5007を形成する。ゲート絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを40～150 [nm]としてシリコンを含む絶縁膜で形成する。本実施例では、120 [nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) とO₂とを混合し、反応圧力40 [Pa]、基板温度300～400 [°C]とし、高周波(13.56 [MHz])、電力密度0.5～0.8 [W/cm²]で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後400～500 [°C]の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【 0 1 1 0 】

そして、ゲート絶縁膜5007上にゲート電極を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで50～100 [nm]の厚さに形成し、第2の導電膜5009をWで

1 0 0 ~ 3 0 0 [nm] の厚さに形成する。

【 0 1 1 1 】

T a 膜はスパッタ法で、T a のターゲットを A r でスパッタすることにより形成する。この場合、A r に適量の X e や K r を加えると、T a 膜の内部応力を緩和して膜の剥離を防止することが出来る。また、 α 相の T a 膜の抵抗率は 2 0 [$\mu \Omega$ cm] 程度でありゲート電極に使用することが出来るが、 β 相の T a 膜の抵抗率は 1 8 0 [$\mu \Omega$ cm] 程度でありゲート電極とするには不向きである。 α 相の T a 膜を形成するために、T a の α 相に近い結晶構造をもつ窒化タンタルを 1 0 ~ 5 0 [nm] 程度の厚さで T a の下地に形成しておくことと α 相の T a 膜を容易に得ることが出来る。

【 0 1 1 2 】

W 膜を形成する場合には、W をターゲットとしたスパッタ法で形成する。その他に 6 フッ化タングステン (W F₆) を用いる熱 C V D 法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W 膜の抵抗率は 2 0 [$\mu \Omega$ cm] 以下にすることが望ましい。W 膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W 中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度 9 9 . 9 9 9 9 [%] の W ターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮して W 膜を形成することにより、抵抗率 9 ~ 2 0 [$\mu \Omega$ cm] を実現することが出来る。

【 0 1 1 3 】

なお、本実施例では、第 1 の導電膜 5 0 0 8 を T a 、第 2 の導電膜 5 0 0 9 を W としたが、特に限定されず、いずれも T a 、W 、T i 、M o 、A l 、C u などから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の組み合わせの一例で望ましいものとしては、第 1 の導電膜 5 0 0 8 を窒化タンタル (T a N) で形成し、第 2 の導電膜 5 0 0 9 を W とする組み合わせ、第 1 の導電膜 5 0 0 8 を窒化タンタル (T a N) で形成し、第 2 の導電膜 5 0 0 9 を A l とする組み合わせ、第

1の導電膜5008を窒化タンタル(Ta₂N₅)で形成し、第2の導電膜5009をCuとする組み合わせ等が挙げられる。

【0114】

次に、レジストによるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄とCl₂を混合し、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0115】

上記エッチング条件では、レジストによるマスクの形状に適したものとするこにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパー形状となる。テーパー部の角度は15~45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20[%]程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2~4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50[nm]程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011~5016(第1の導電層5011a~5016aと第2の導電層5011b~5016b)を形成する。このとき、ゲート絶縁膜5007においては、第1の形状の導電層5011~5016で覆われない領域は20~50[nm]程度エッチングされ薄くなった領域が形成される。

(図9(B))

【0116】

そして、第1のドーピング処理を行いN型を付与する不純物元素を添加する。ドーピングの方法はイオンドーブ法もしくはイオン注入法で行えば良い。イオンドーブ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}$ [atoms/cm²]とし、加速電

圧を60～100 [keV]として行う。N型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層5011～5016がN型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域5017～5020が形成される。第1の不純物領域5017～5020には $1 \times 10^{20} \sim 1 \times 10^{21}$ [atoms/cm³]の濃度範囲でN型を付与する不純物元素を添加する。(図9(B))

【0117】

次に、図9(C)に示すように、レジストマスクは除去しないまま、第2のエッチング処理を行う。エッチングガスにCF₄とCl₂とO₂とを用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の形状の導電層5021～5026(第1の導電層5021a～5026aと第2の導電層5021b～5026b)を形成する。このとき、ゲート絶縁膜5007においては、第2の形状の導電層5021～5026で覆われない領域はさらに20～50 [nm]程度エッチングされ薄くなった領域が形成される。

【0118】

W膜やTa膜のCF₄とCl₂の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF₆が極端に高く、その他のWCl₅、TaF₅、TaCl₅は同程度である。従って、CF₄とCl₂の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量のO₂を添加するとCF₄とO₂が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、O₂を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【 0 1 1 9 】

そして、図 1 0 (A) に示すように第 2 のドーピング処理を行う。この場合、第 1 のドーピング処理よりもドーズ量を下げて高い加速電圧の条件として N 型を付与する不純物元素をドーピングする。例えば、加速電圧を 7 0 ～ 1 2 0 [keV] とし、 1×10^{13} [atoms/cm²] のドーズ量で行い、図 1 0 (B) で島状半導体層に形成された第 1 の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第 2 の形状の導電層 5 0 2 1 ～ 5 0 2 6 を不純物元素に対するマスクとして用い、第 1 の導電層 5 0 2 1 a ～ 5 0 2 6 a の下側の領域の半導体層にも不純物元素が添加されるようにドーピングする。こうして、第 2 の不純物領域 5 0 2 7 ～ 5 0 3 1 が形成される。この第 2 の不純物領域 5 0 2 7 ～ 5 0 3 1 に添加されたリン (P) の濃度は、第 1 の導電層 5 0 2 1 a ～ 5 0 2 6 a のテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第 1 の導電層 5 0 2 1 a ～ 5 0 2 6 a のテーパ部と重なる半導体層において、第 1 の導電層 5 0 2 1 a ～ 5 0 2 6 a のテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【 0 1 2 0 】

続いて、図 1 0 (B) に示すように第 3 のエッチング処理を行う。エッチングガスに CHF_3 を用い、反応性イオンエッチング法 (R I E 法) を用いて行う。第 3 のエッチング処理により、第 1 の導電層 5 0 2 1 a ～ 5 0 2 6 a のテーパ部を部分的にエッチングして、第 1 の導電層が半導体層と重なる領域が縮小される。第 3 のエッチング処理によって、第 3 の形状の導電層 5 0 3 2 ～ 5 0 3 7 (第 1 の導電層 5 0 3 2 a ～ 5 0 3 7 a と第 2 の導電層 5 0 3 2 b ～ 5 0 3 7 b) を形成する。このとき、ゲート絶縁膜 5 0 0 7 においては、第 3 の形状の導電層 5 0 3 2 ～ 5 0 3 7 で覆われない領域はさらに 2 0 ～ 5 0 [nm] 程度エッチングされ薄くなった領域が形成される。

【 0 1 2 1 】

第 3 のエッチング処理によって、第 2 の不純物領域 5 0 2 7 ～ 5 0 3 1 においては、第 1 の導電層 5 0 3 2 a ～ 5 0 3 7 a と重なる第 2 の不純物領域 5 0 2 7 a ～ 5 0 3 1 a と、第 1 の不純物領域と第 2 の不純物領域との間の第 3 の不純物

領域 5 0 2 7 b ~ 5 0 3 1 b とが形成される。

【 0 1 2 2 】

そして、図 1 0 (C) に示すように、Pチャネル型 T F T を形成する島状半導体層 5 0 0 4 に、第 1 の導電型とは逆の導電型の第 4 の不純物領域 5 0 3 9 ~ 5 0 4 4 を形成する。第 3 の形状の導電層 5 0 3 3 b を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、Nチャネル型 T F T を形成する島状半導体層 5 0 0 3、5 0 0 5、保持容量部 5 0 0 6 および配線部 5 0 3 4 はレジストマスク 5 0 3 8 で全面を被覆しておく。不純物領域 5 0 3 9 ~ 5 0 4 4 にはそれぞれ異なる濃度でリンが添加されているが、ジボラン (B_2H_6) を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度が $2 \times 10^{20} \sim 2 \times 10^{21} [\text{atoms}/\text{cm}^3]$ となるようにする。

【 0 1 2 3 】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第 3 の形状の導電層 5 0 3 2、5 0 3 3、5 0 3 5、5 0 3 6 がゲート電極として機能する。5 0 3 7 は、メモリセルのフローティングゲート電極として機能する。また、5 0 3 4 は島状のソース信号線として機能する。(図 1 0 (C))

【 0 1 2 4 】

その後、レジストマスク 5 0 3 8 を除去した後、図 1 1 (A) に示すように、第 2 のゲート絶縁膜 5 0 4 5 を形成する。第 2 のゲート絶縁膜 5 0 4 5 の膜厚は、1 0 ~ 2 5 0 [nm] とすれば良い。また、製膜方法は、公知の気相法 (プラズマ C V D 法、スパッタ法等) を用いれば良い。なお、本実施例においては、7 0 [nm] の Si N O 膜をプラズマ C V D 法により形成する。

【 0 1 2 5 】

続いて、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーンズアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法 (R T A 法) を適用することが出来る。熱アニール法では酸素濃度が 1 [ppm] 以下、好ましくは 0. 1 [ppm] 以下の窒素雰囲気中で 4 0 0 ~ 7 0 0 [°C]、

代表的には500～600 [°C]で行うものであり、本実施例では500 [°C]で4時間の熱処理を行う。ただし、第3の形状の導電層5037～5042に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜（シリコンを主成分とする）を形成した後で活性化を行うことが好ましい。

【0126】

さらに、3～100 [%]の水素を含む雰囲気中で、300～450 [°C]で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0127】

その後、200～400 [nm]の厚さで導電膜を形成し、パターニングを行い、コントロールゲート電極5046を形成する。コントロールゲート電極5046は、第2のゲート絶縁膜5045を介してフローティングゲート電極5037の一部あるいは全体と重なるように形成する（図11（A））。

【0128】

第1の層間絶縁膜5047は酸化窒化シリコン膜から100～200 [nm]の厚さで形成する。そして、駆動回路部において島状半導体層のソース領域とコンタクトを形成するソース配線5048、5050、ドレイン領域とコンタクトを形成するドレイン配線5049を形成する。また、画素部においては、接続電極5051、5052を形成する。同時に、メモリセル部においても、接続電極5053、5054を形成する。接続電極5051により、ソース信号線5034は、画素TFTと電氣的な接続が形成される（図11（B））。

【0129】

その上に有機絶縁物材料から成る第2の層間絶縁膜5055を形成し、続いて画素電極5056を形成する。本実施例で示すような、反射型の液晶表示装置を作成する場合、画素電極5056としては、Al、Agを主成分とする膜、あるいはそれらの積層膜等の、反射性に優れた材料を用いることが望ましい。

【0130】

以上のようにして、図 1 1 (C) に示すように、Nチャネル型TFT、Pチャネル型TFTを有する駆動回路部と、画素TFT、不揮発性記憶回路を有する画素部とを同一基板上に形成することができる。本明細書中ではこのような基板をアクティブマトリクス基板と呼ぶ。

【0131】

続いて、図 1 1 (C) の状態のアクティブマトリクス基板を得た後、図 1 2 (A) に示すように、アクティブマトリクス基板上に配向膜 5 0 5 7 を形成しラビング処理を行う。

【0132】

一方、対向基板 5 0 5 8 を用意する。対向基板 5 0 5 8 には、対向電極 5 0 5 9 をパターニング形成し、配向膜 5 0 6 0 を形成した後ラビング処理を行う。対向電極には、ITO膜あるいはそれに準ずる透明の導電性材料を用いる。

【0133】

スペーサ（図示せず）をアクティブマトリクス基板あるいは対向基板に形成する。スペーサは球状のビーズを散布しても良い。あるいは、表示領域において感光性の樹脂をドット状またはストライプ状にパターニングしても良い。スペーサにより液晶材料の配向欠陥がでないようにする。

【0134】

本実施例にて示す反射型の液晶表示装置ではリタデーションの関係からセルギャップは 0.5 ~ 1.5 [μm] が望ましい。本実施例ではセルギャップを画素部において 1.0 [μm] になるようにする。

【0135】

そして、画素部と駆動回路部が形成されたアクティブマトリクス基板と対向基板とをシール剤 5 0 6 1 で貼り合わせる。シール剤 5 0 6 1 にはフィラーが混入されていて、このフィラーとスペーサによって均一な間隔を持って 2 枚の基板が貼り合わせられる。その後、両基板の間に液晶材料 5 0 6 2 を注入し、封止剤（図示せず）によって完全に封止する。液晶材料 5 0 6 1 には公知の液晶材料を用いれば良い。このようにして図 1 2 (A) に示すアクティブマトリクス型液晶表示装置が完成する。

【0136】

なお、上記の行程により作成されるアクティブマトリクス型液晶表示装置におけるTFTはトップゲート構造をとっているが、ボトムゲート構造のTFTやその他の構造のTFTに対しても本実施例は容易に適用され得る。

【0137】

また、本実施例においては、ガラス基板上を使用しているが、ガラス基板に限らず、プラスチック基板、ステンレス基板、単結晶ウェハ等、ガラス基板以外のものを使用することによっても実施が可能である。

【0138】

本実施例においては、反射型の液晶表示装置を例として説明を行ってきたが、画素電極の構成を変えることで、透過型の液晶表示装置を作成する場合、あるいは、画素の半分を反射電極、残る半分以上を透明電極とした、半透過型の表示装置として作成する場合にも、本発明は容易に適用することが出来る。

【0139】

[実施例5]

本発明の表示装置においては、階調の表現手段として時間階調方式を用いている。よって、画素に液晶素子を用いる場合には、通常のアナログ階調方式に比較して、より迅速な応答速度が要求されるため、強誘電性液晶（Ferroelectrics Liquid Crystal：FLC）を用いることが望ましい。本実施例においては、実施例4で紹介した表示装置の作成工程において、液晶素子に強誘電性液晶を用いる場合の基板の作成例について記述する。

【0140】

実施例4に従い、図19（A）（図11（C）に示した状態と同様）に示すアクティブマトリクス基板を作成する。

【0141】

一方、対向基板5058を用意する。対向基板5058には、対向電極5059をパターンニング形成する。対向電極には、ITO膜あるいはそれに準ずる透明の導電性材料を用いる。

【0142】

アクティブマトリクス基板と対向基板に配向膜 5 1 0 1、5 1 0 2 を形成する。日産化学社製の配向膜 RN 1 2 8 6 を形成し、9 0 °C で 5 分間プリベークした後、2 5 0 [°C] で一時間ポストベークした。ポストベーク後の膜厚は 4 0 [nm] であった。配向膜の形成方法はフレキシソ印刷法あるいはスピナー塗布法で行えば良い。RN 1 2 8 6 はシール剤との密着性が悪いため、シール剤が配置される位置は配向膜を除去する。また、アクティブマトリクス基板と対向基板を電氣的に接続するコンタクトパッド上の配向膜と、フレキシブルプリント配線板 (Flexible Print Circuit : FPC) を接続するリード線の上には配向膜を形成しない。

【 0 1 4 3 】

配向膜 5 1 0 1、5 1 0 2 をラビングする。このとき、対向基板 5 0 5 8 とアクティブマトリクス基板を貼り合わせたときのラビング方向が平行になるようにする。ラビング処理はラビングの布として吉川化工社製の Y A - 2 0 R を用いた。常陽工学社製のラビング装置により、押しこみ量が 0 . 2 5 [mm]、ロール回転数が 1 0 0 [rpm]、ステージ速度が 1 0 [mm/sec.]、ラビング回数が 1 回でラビングした。ラビングロールの直径は 1 3 0 [mm] である。ラビング後に水流を基板面に照射して配向膜を洗浄した。

【 0 1 4 4 】

次に、シール剤 5 1 0 3 を形成した。シール剤は液晶材料の注入口を一箇所に設け、真空下で注入ができるパターンとすることが出来る。

【 0 1 4 5 】

シール剤を日立化成社製のシールディスペンサーにより対向基板上に形成した。シール剤は三井化学社製の X N - 2 1 S を用いた。シール剤の仮焼成は 9 0 [°C] で 3 0 分行い、次の 1 5 分で徐冷した。

【 0 1 4 6 】

シール剤 X N - 2 1 S は熱プレスをして、2 . 3 ~ 2 . 6 [μm] のセルギャップしか得られないことがわかっている。そこで 1 . 0 [μm] のセルギャップを形成するために、画素部に比べて、1 . 5 [μm] 以上積層膜の厚さが薄い領域を設けてシール剤を配置すると良い。本実施例では、第 1 の層間絶縁膜 5 0 4 5 と第 2 の層間絶縁膜 5 0 4 6 をエッチングにより除去した領域にシール材 5 1 0 3 を

配置する。

【0147】

シール剤を形成すると同時に導電性スペーサ（図示しない）を形成する。

【0148】

スペーサ（図示しない）を対向基板あるいはアクティブマトリクス基板に形成する。スペーサは球状のビーズを散布しても良い。あるいは、表示領域において感光性の樹脂をドット状またはストライプ状にパターニングしても良い。スペーサにより液晶材料の配向欠陥がでないようにする。

【0149】

反射型の液晶表示装置ではリタレーションの関係からセルギャップは0.5～1.5 [μm]が望ましい。本実施例ではセルギャップを画素部において1.0 [μm]になるようにする。

【0150】

その後、ニュートム社製の貼り合わせ装置により、対向基板とアクティブマトリクス基板のマーカを合わせ、貼り合わせを行った。

【0151】

次に、0.3～1.0 [kgf/cm^2]の圧力を基板平面に垂直な方向にかつ基板全面に加えながら、クリーンオーブンにて160 [$^{\circ}\text{C}$]、3時間で熱硬化を行い、シール剤を硬化し、対向基板とアクティブマトリクス基板を接着させる。

【0152】

対向基板とアクティブマトリクス基板を貼り合わせてできる一对の基板を分断する。

【0153】

液晶材料5104は双安定性を示す強誘電性液晶や、三安定性を示す反強誘電性液晶等を用いる。

【0154】

液晶材料を等方相まで加熱し注入をする。その後、0.1 [$^{\circ}\text{C}/\text{min.}$]で室温まで徐冷した（図19（B））。

【0155】

封止剤として注入口を覆うように小型のディスペンサーにより紫外線硬化型樹脂（図示しない）を塗布する。

【0156】

その後、フレキシブルプリント配線板（図示しない）を異方性導電膜（図示しない）により接着して、アクティブマトリクス型液晶表示装置が完成する。

【0157】

アクティブマトリクス基板の画素電極を透明導電膜にすれば、本実施例の工程により透過型の液晶表示装置も作製することができる。透過型の液晶表示装置ではセルギャップはリタデーションの関係及び強誘電性液晶の螺旋構造を抑制する目的から1.0～2.5[μm]とすることが望ましい。

【0158】

[実施例6]

実施例1～実施例3にて示した、本発明の液晶表示装置の画素部においては、揮発性の記憶回路としてスタティック型メモリ（Static RAM：SRAM）を用いて構成していたが、揮発性の記憶回路はSRAMのみに限定されない。本発明の液晶表示装置の画素部に適用可能な揮発性の記憶回路には、他にダイナミック型メモリ（Dynamic RAM：DRAM）等があげられる。本実施例においては、それらの揮発性の記憶回路を用いて回路を構成する例を紹介する。

【0159】

図8（A）は、画素に配置された揮発性の記憶回路A1～A3およびB1～B3にDRAMを用いた例を示している。基本的な構成は、実施例1で示した回路と同様である。揮発性の記憶回路A1～A3およびB1～B3に用いたDRAMに関しては、一般的な構成のものをを用いれば良い。本実施例では比較的構成の簡単な、図8（B）に示すようなインバータおよび容量によって構成したものを用いて図示している。

【0160】

ソース信号線駆動回路の動作は、実施例1と同様である。ここで、SRAMと異なり、DRAMの場合、一定期間ごとに再書き込み動作（以後、この動作をリフレッシュと表記する）が必要であるため、リフレッシュ用TFT801～80

3を有する。リフレッシュは、静止面を表示している期間（揮発性の記憶回路に記憶されたデジタル映像信号を繰り返し読み出して表示を行っている期間）のあるタイミングで、リフレッシュ用TFT801～803をそれぞれ導通させ、画素部における電荷を、揮発性の記憶回路側にフィードバックすることによって行われる。

【0161】

さらに、特に図示しないが、他形式の揮発性の記憶回路として、強誘電体メモリ（Ferroelectric RAM：FRAM）を利用して本発明の液晶表示装置の画素部を構成することも可能である。FRAMは、SRAMやDRAMと同等の書き込み速度を有する不揮発性メモリであり、その書き込み電圧が低い等の特徴を利用して、本発明の液晶表示装置のさらなる低消費電力化が可能である。またその他、フラッシュメモリ等によっても、構成は可能である。

【0162】

[実施例7]

本発明を適用して作成した駆動回路を用いたアクティブマトリクス型表示装置には様々な用途がある。本実施例では、本発明を適用して作成した駆動回路を用いた表示装置を組み込んだ半導体装置について説明する。

【0163】

このような表示装置には、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話等）、ビデオカメラ、デジタルカメラ、パーソナルコンピュータ、テレビ等が挙げられる。それらの一例を図15および図16に示す。

【0164】

図15（A）は携帯電話であり、本体2601、音声出力部2602、音声入力部2603、表示部2604、操作スイッチ2605、アンテナ2606から構成されている。本発明は表示部2604に適用することができる。

【0165】

図15（B）はビデオカメラであり、本体2611、表示部2612、音声入力部2613、操作スイッチ2614、バッテリー2615、受像部2616から成っている。本発明は表示部2612に適用することができる。

【 0 1 6 6 】

図 1 5 (C) はモバイルコンピュータあるいは携帯型情報端末であり、本体 2 6 2 1、カメラ部 2 6 2 2、受像部 2 6 2 3、操作スイッチ 2 6 2 4、表示部 2 6 2 5 で構成されている。本発明は表示部 2 6 2 5 に適用することができる。

【 0 1 6 7 】

図 1 5 (D) はヘッドマウントディスプレイであり、本体 2 6 3 1、表示部 2 6 3 2、アーム部 2 6 3 3 で構成される。本発明は表示部 2 6 3 2 に適用することができる。

【 0 1 6 8 】

図 1 5 (E) はテレビであり、本体 2 6 4 1、スピーカー 2 6 4 2、表示部 2 6 4 3、受信装置 2 6 4 4、増幅装置 2 6 4 5 等で構成される。本発明は表示部 2 6 4 3 に適用することができる。

【 0 1 6 9 】

図 1 5 (F) は携帯書籍であり、本体 2 6 5 1、表示部 2 6 5 2、記憶媒体 2 6 5 3、操作スイッチ 2 6 5 4、アンテナ 2 6 5 5 から構成されており、ミニディスク (MD) や DVD (Digital Versatile Disc) に記憶されたデータや、アンテナで受信したデータを表示するものである。本発明は表示部 2 6 5 2 に適用することができる。

【 0 1 7 0 】

図 1 6 (A) はパーソナルコンピュータであり、本体 2 7 0 1、画像入力部 2 7 0 2、表示部 2 7 0 3、キーボード 2 7 0 4 で構成される。本発明は表示部 2 7 0 3 に適用することができる。

【 0 1 7 1 】

図 1 6 (B) はプログラムを記録した記録媒体を用いるプレーヤーであり、本体 2 7 1 1、表示部 2 7 1 2、スピーカー部 2 7 1 3、記録媒体 2 7 1 4、操作スイッチ 2 7 1 5 で構成される。なお、この装置は記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部 2 6 1 2 に適用することができる。

【 0 1 7 2 】

図 1 6 (C) はデジタルカメラであり、本体 2 7 2 1、表示部 2 7 2 2、接眼部 2 7 2 3、操作スイッチ 2 7 2 4、受像部（図示しない）で構成される。本発明は表示部 2 7 2 2 に適用することができる。

【 0 1 7 3 】

図 1 6 (D) は片眼のヘッドマウントディスプレイであり、表示部 2 7 3 1、バンド部 2 7 3 2 で構成される。本発明は表示部 2 7 3 1 に適用することができる。

【 0 1 7 4 】

[実施例 8]

図 2 1 に携帯情報端末に本発明を実施した例を示す。この例では静止画を表示する場合には、CPU 2 1 0 6 の映像信号処理回路 2 1 0 7、VRAM 2 1 1 1 のなどの機能を停止させ、消費電力の低減を図ることができる。図 2 1 では動作をおこなう部分を点線で表示してある。また、コントローラ 2 1 1 2 は COG で表示装置 2 1 1 3 に装着してもよいし、表示装置内部に一体形成してもよい。図 2 2、2 3 に携帯電話に本発明を実施した例を示す。図 2 1 と同様に静止画表示は一部の機能を停止できるので消費電力を低減できる。

【 0 1 7 5 】

【発明の効果】

各画素の内部に配置された複数の揮発性の記憶回路を用いてデジタル映像信号の記憶を行うことにより、静止画を表示する際に各フレーム期間で揮発性の記憶回路に記憶されたデジタル映像信号を反復して用い、継続的に静止画表示を行う際に、外部回路、ソース信号線駆動回路などを停止させておくことが可能となる。さらに、各画素に配置された不揮発性の記憶回路を用いてデジタル映像信号を保持することによって、電源を遮断した後もデジタル映像信号の保持が可能となり、液晶表示装置全体の低消費電力化に大きく貢献することが出来る。

【図面の簡単な説明】

【図 1】 複数の揮発性の記憶回路と、複数の不揮発性の記憶回路とを内部に有する本発明の画素の回路図。

【図 2】 本発明の画素を用いて表示を行うためのソース信号線駆動回路の回路構成例を示す図。

【図 3】 本発明の画素を用いて表示を行うためのタイミングチャートを示す図。

【図 4】 複数の揮発性の記憶回路と、複数の不揮発性の記憶回路とを内部に有する本発明の画素の詳細な回路図。

【図 5】 第 2 のラッチ回路を持たないソース信号線駆動回路の回路構成例を示す図。

【図 6】 図 5 のソース信号線駆動回路によって駆動される、本発明を応用した画素の詳細な回路図。

【図 7】 図 5 および図 6 に記載の回路を用いて表示を行うためのタイミングチャートを示す図。

【図 8】 記憶回路にダイナミック型メモリを用いる場合の本発明の画素の詳細な回路図。

【図 9】 本発明の画素を有する液晶表示装置の作成工程例を示す図。

【図 1 0】 本発明の画素を有する液晶表示装置の作成工程例を示す図。

【図 1 1】 本発明の画素を有する液晶表示装置の作成工程例を示す図。

【図 1 2】 本発明の画素を有する液晶表示装置の作成工程例を示す図。

【図 1 3】 従来の液晶表示装置の全体の回路構成を簡略に示す図。

【図 1 4】 従来の液晶表示装置のソース信号線駆動回路の回路構成例を示す図。

【図 1 5】 本発明の画素を有する表示装置の適用が可能な電子装置の例を示す図。

【図 1 6】 本発明の画素を有する表示装置の適用が可能な電子装置の例を示す図。

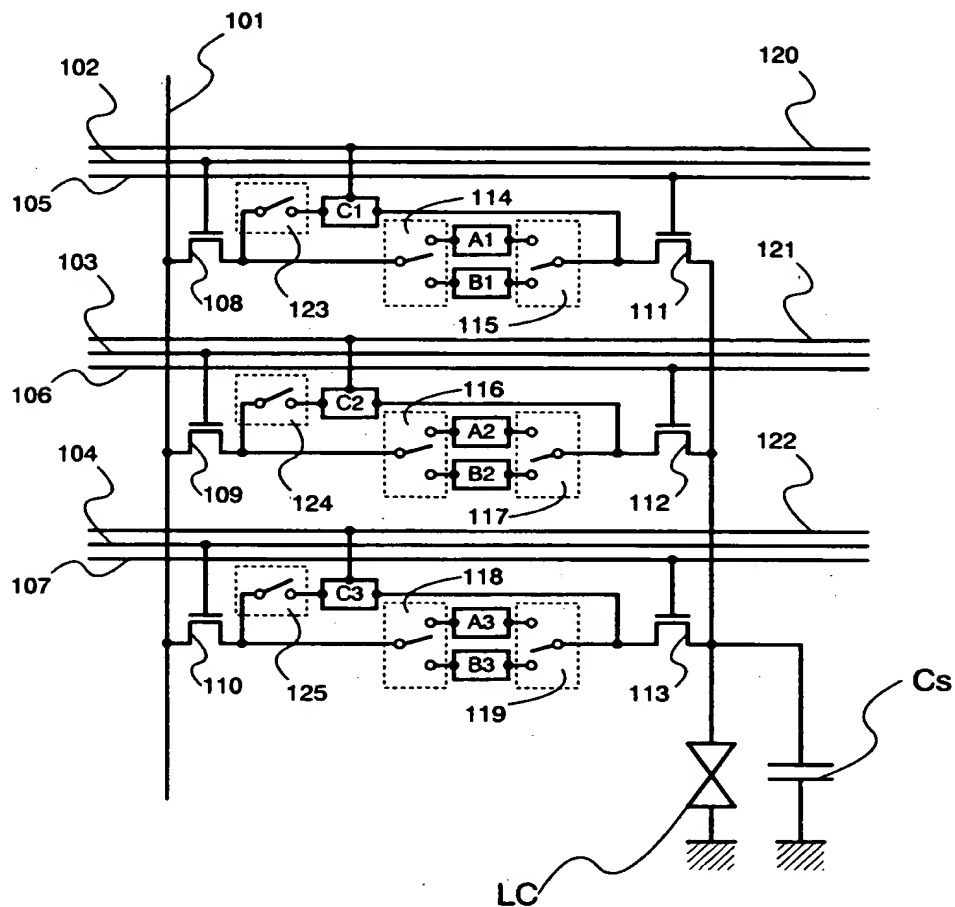
【図 1 7】 第 2 のラッチ回路を持たないソース信号線駆動回路の回路構成例を示す図。

【図 1 8】 図 1 7 に記載の回路を用いて表示を行うためのタイミングチャートを示す図。

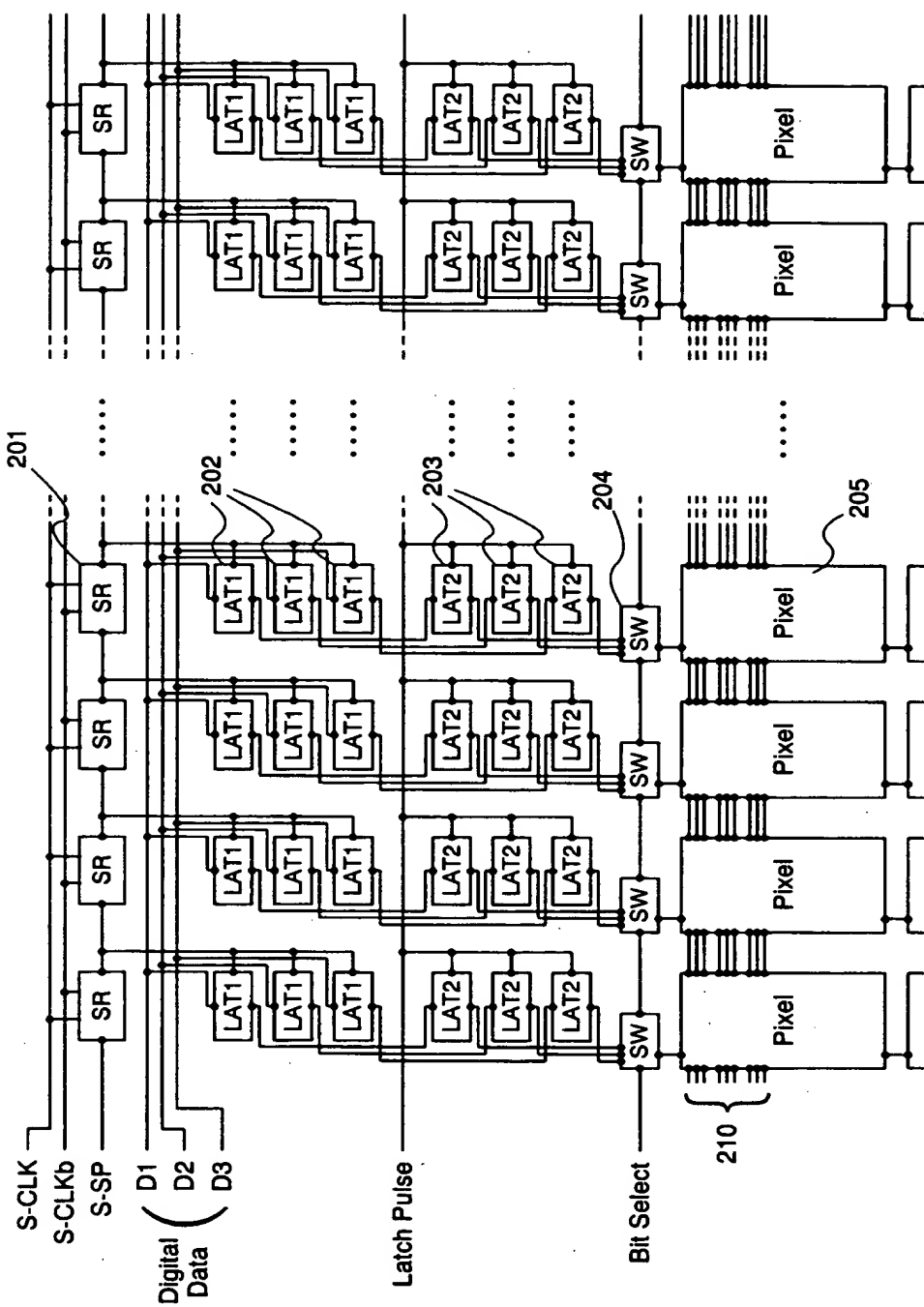
- 【図 1 9】 本発明の画素を有する液晶表示装置の作成工程例を示す図。
- 【図 2 0】 デコーダを用いたゲート信号線駆動回路の例を示す図。
- 【図 2 1】 本発明を用いた携帯情報端末のブロック図。
- 【図 2 2】 本発明を用いた携帯電話のブロック図。
- 【図 2 3】 携帯電話の送受信部のブロック図。

【書類名】 図面

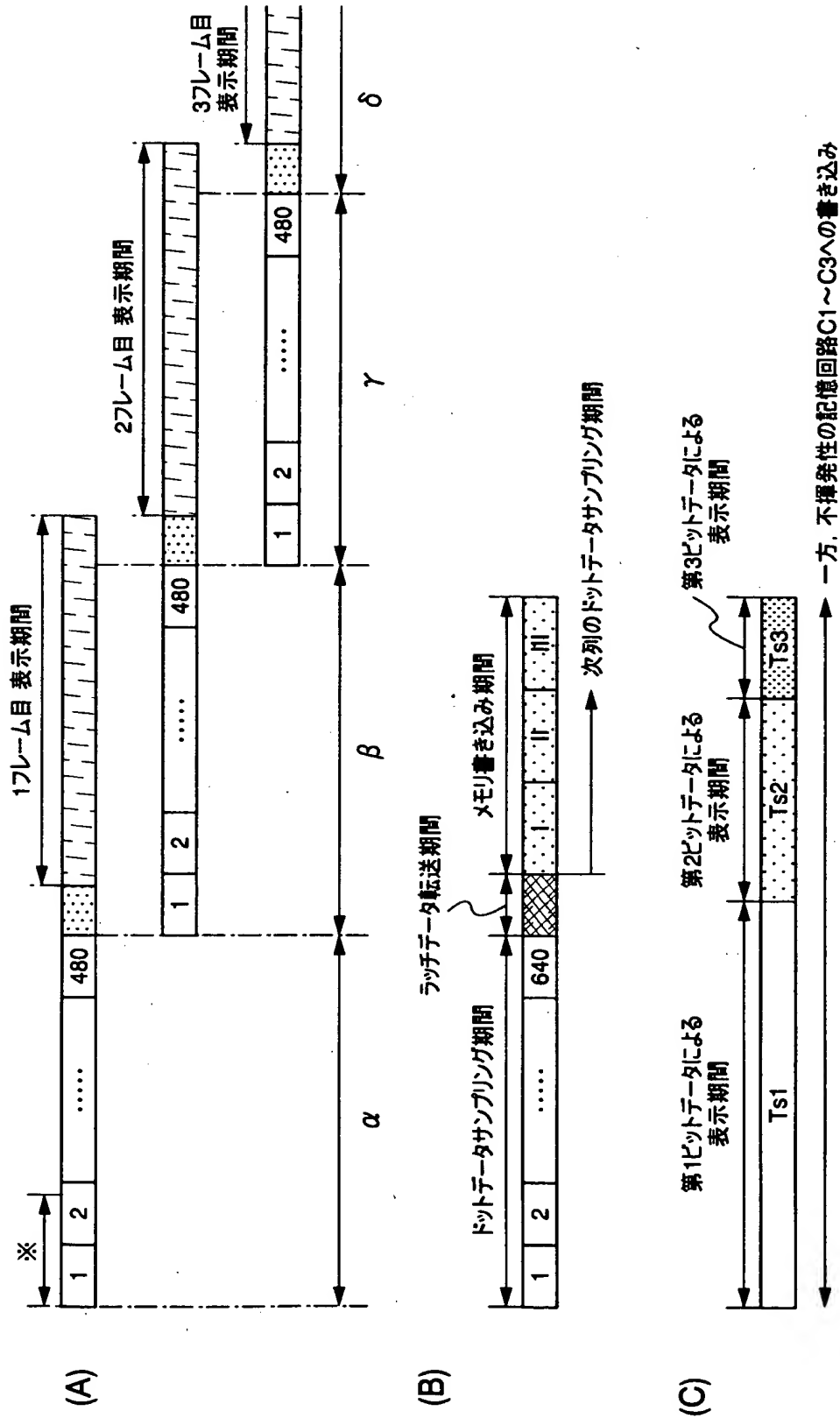
【図 1】



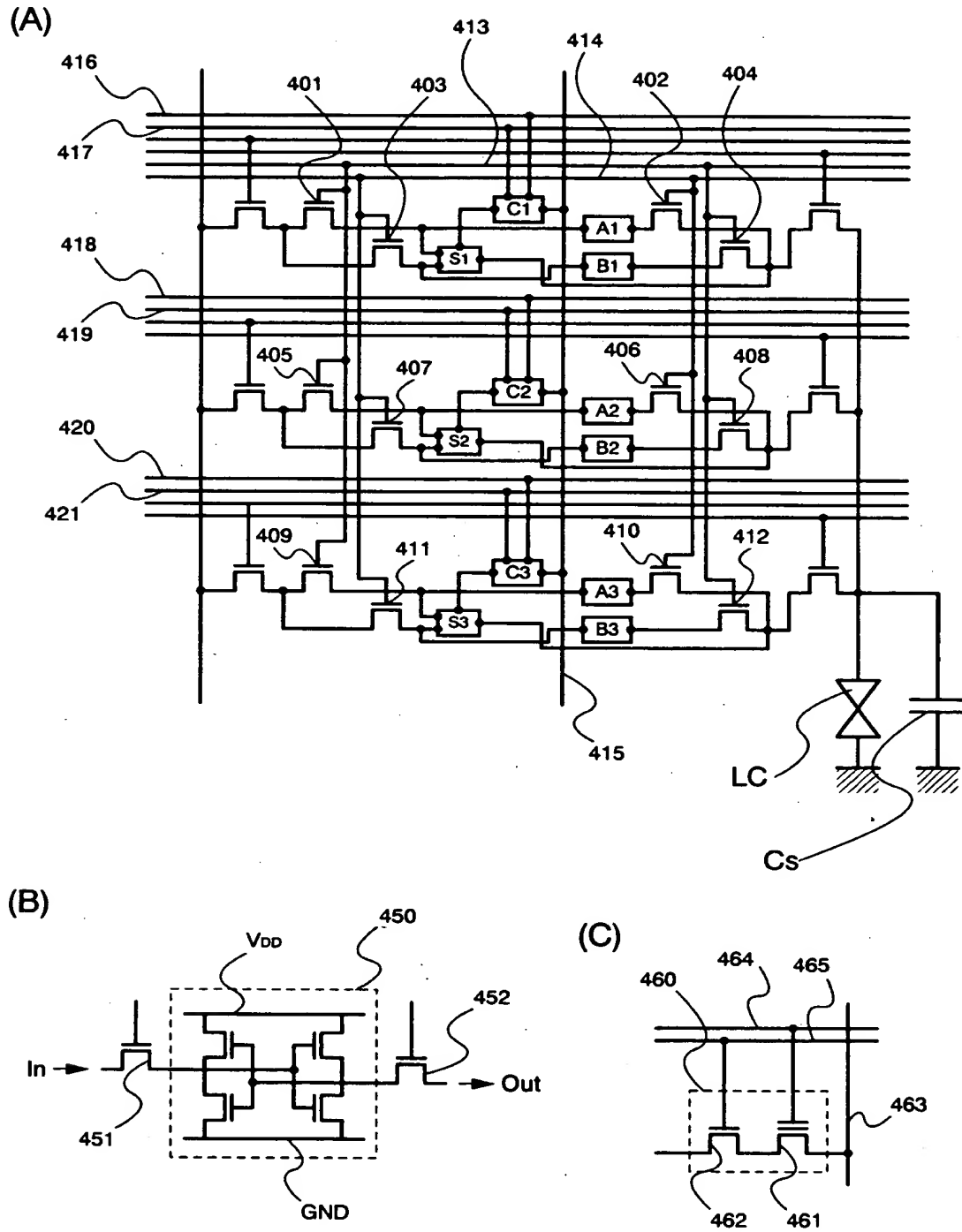
【図 2】



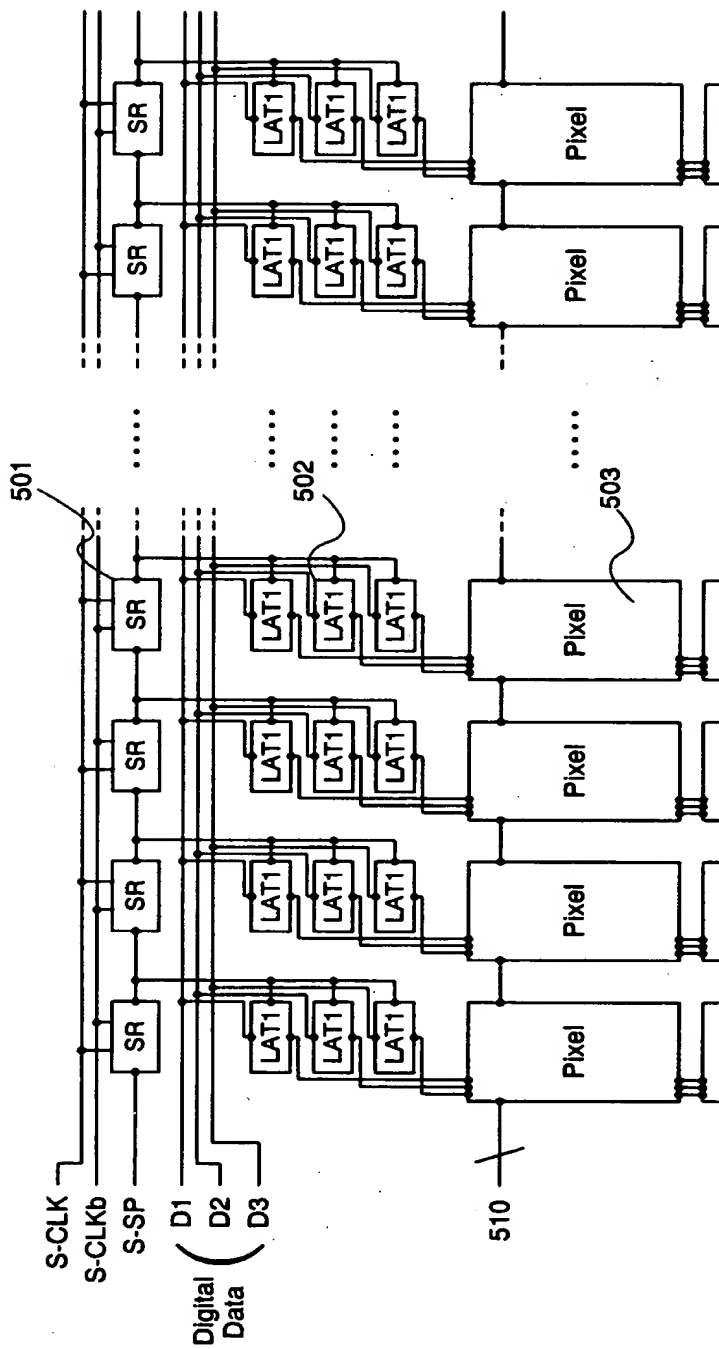
【図 3】



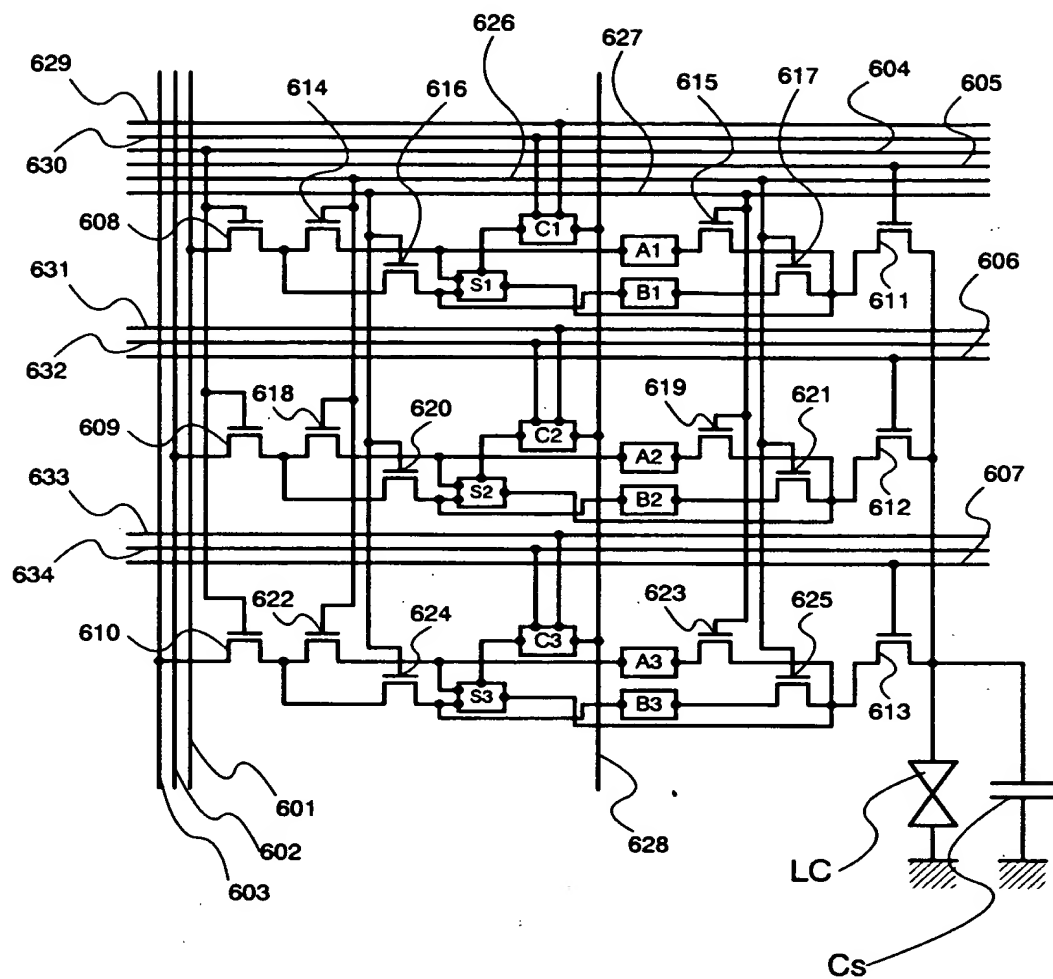
【図 4】



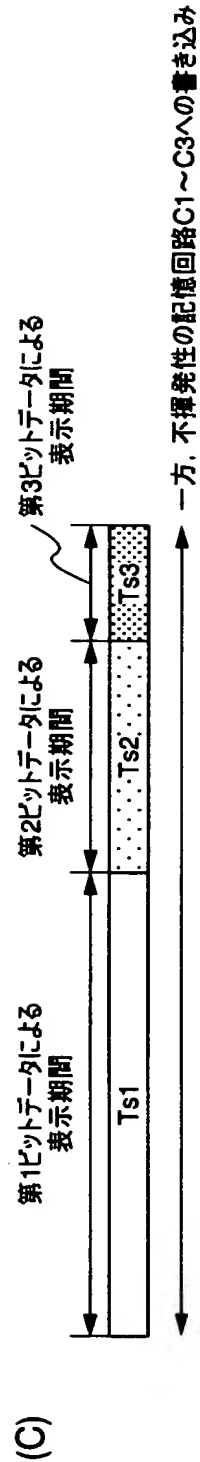
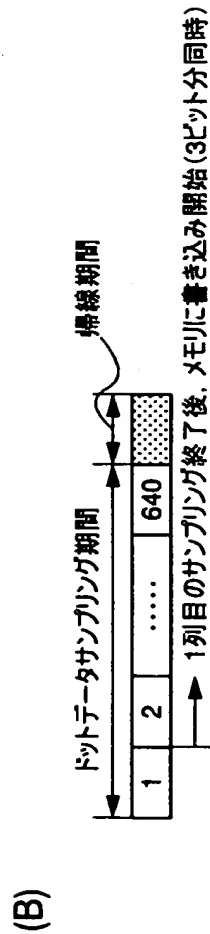
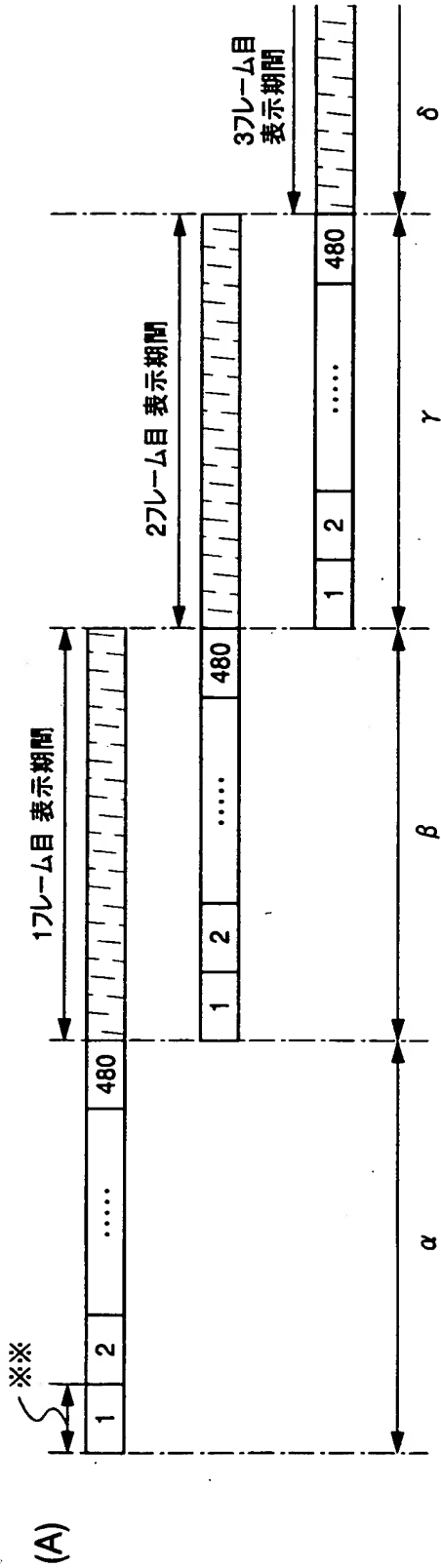
【図 5】



【図 6】

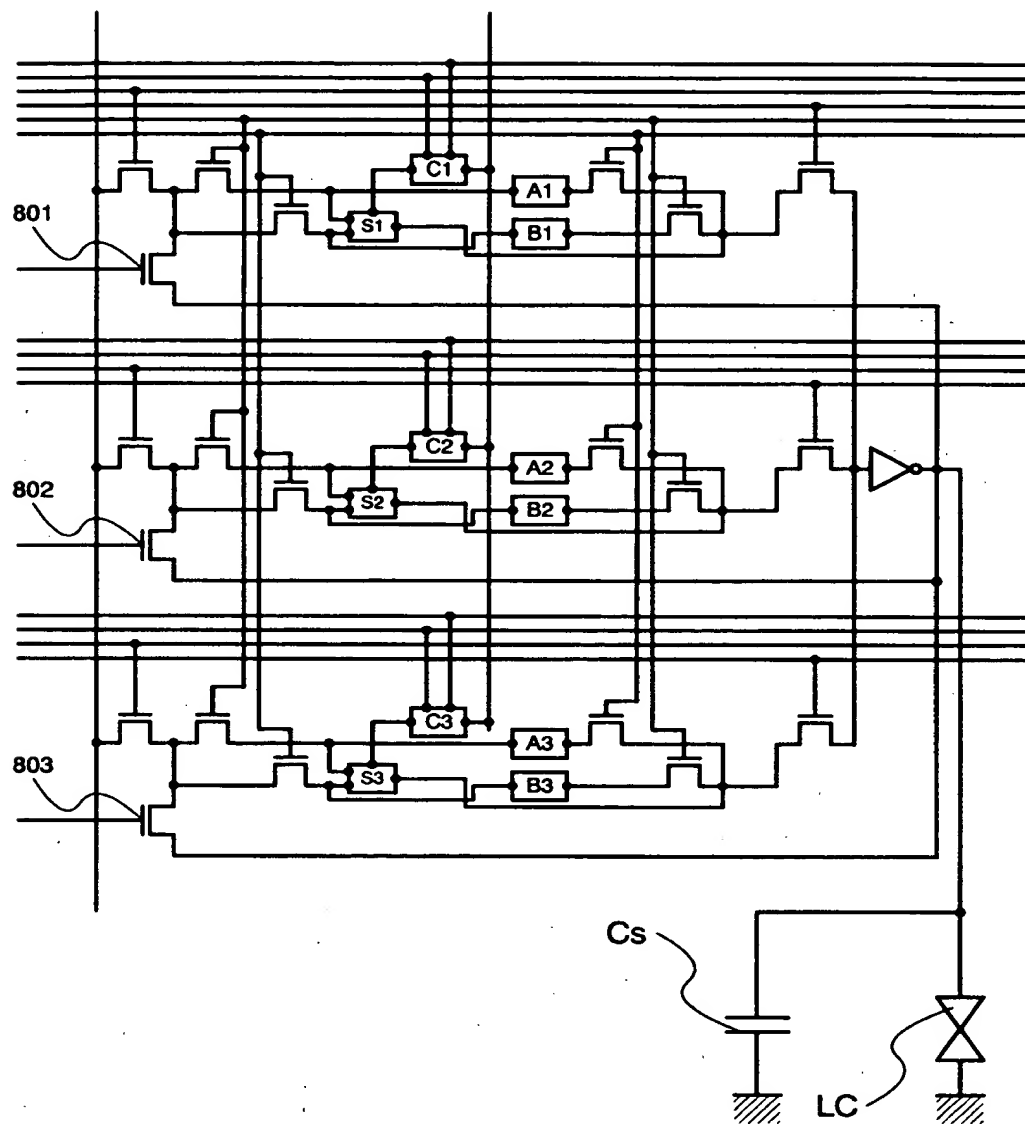


【図 7】

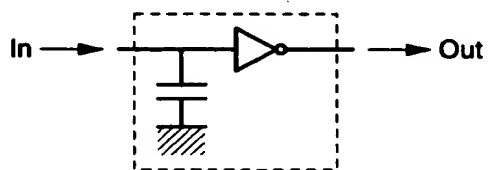


【図 8】

(A)

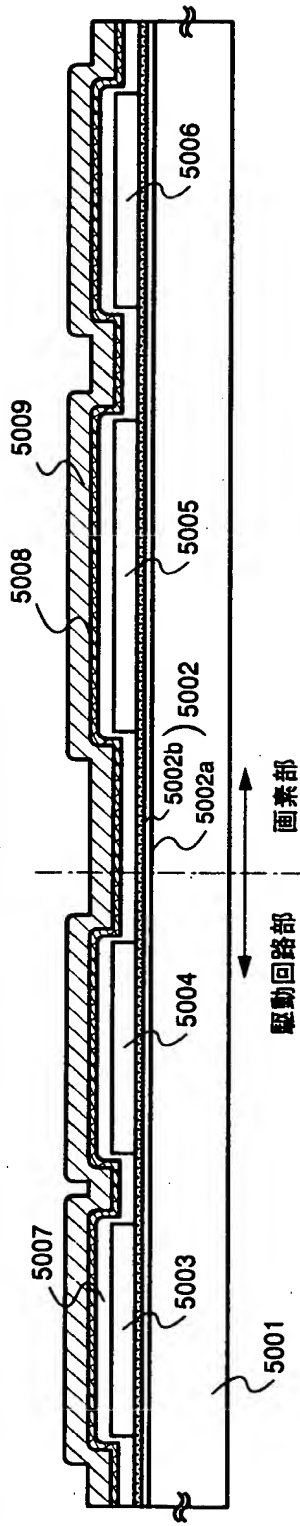


(B)

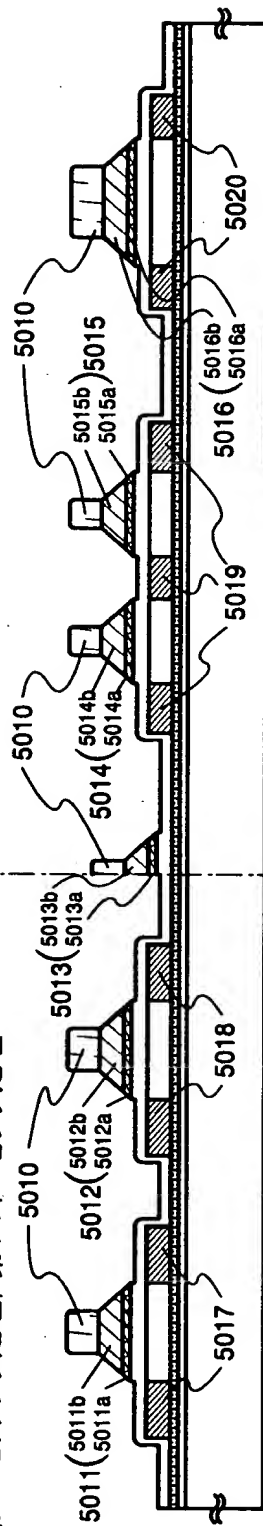


【図9】

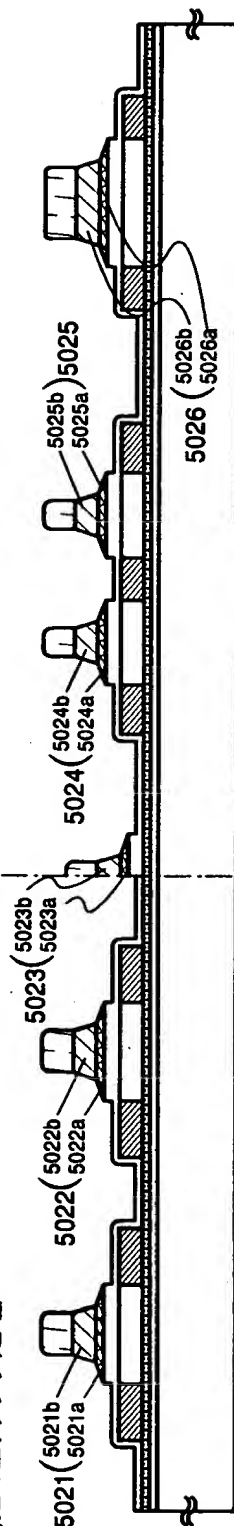
(A) 島状半導体層、ゲート絶縁膜、ゲート電極用第1、第2の導電膜の形成



(B) 第1のエッチング処理、第1のドーピング処理



(C) 第2のエッチング処理

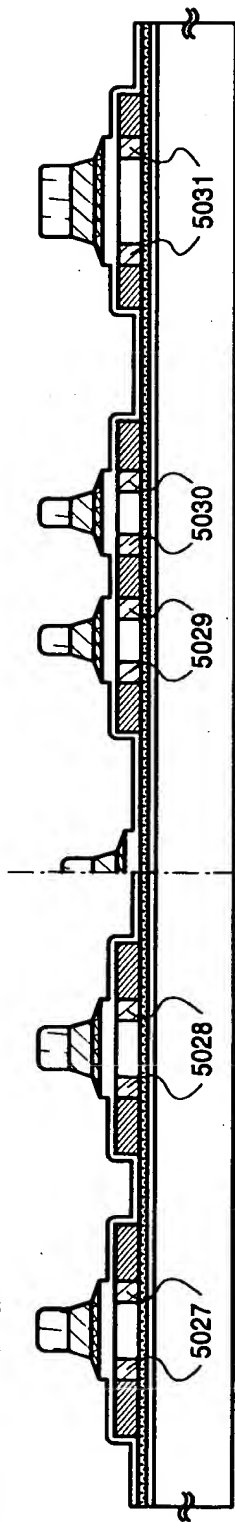


- | | | | | | | | |
|-----------|----------|-----------|-------------|-------------|-------------|-------------|----------|
| 5001 | : 基板 | 5008 | : 第1の導電膜 | 5011a~5016a | : 第10の導電層 | 5021a~5026a | : 第1の導電層 |
| 5002 | : 下地膜 | 5009 | : 第2の導電膜 | 5011b~5016b | : 第2の導電層 | 5021b~5026b | : 第2の導電層 |
| 5003~5006 | : 半導体層 | 5010 | : レジストマスク | 5017~5020 | : 第1の不純物領域 | | |
| 5007 | : ゲート絶縁膜 | 5011~5016 | : 第1の形状の導電層 | 5021~5026 | : 第2の形状の導電層 | | |

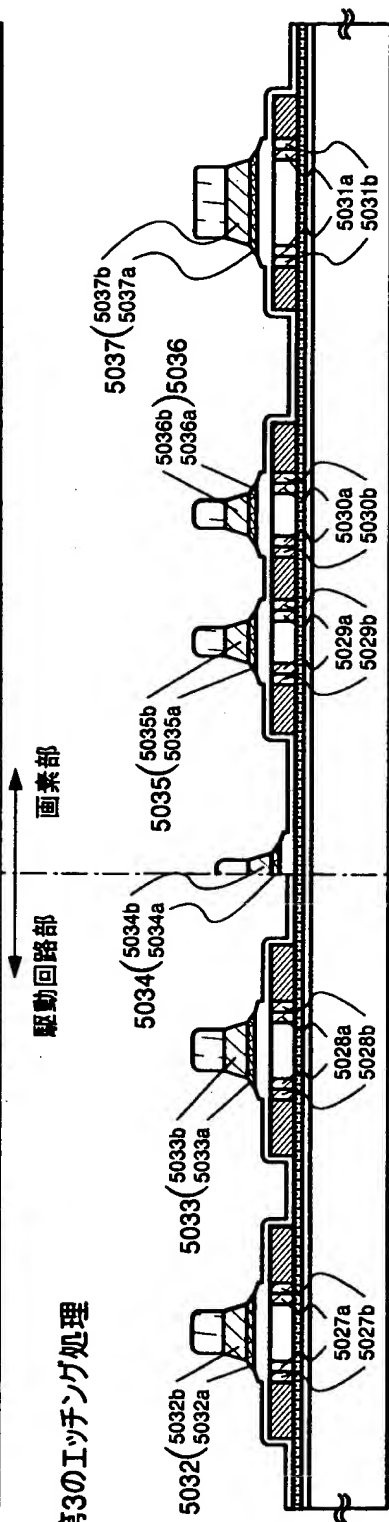
【図 1 0】

BEST AVAILABLE COPY

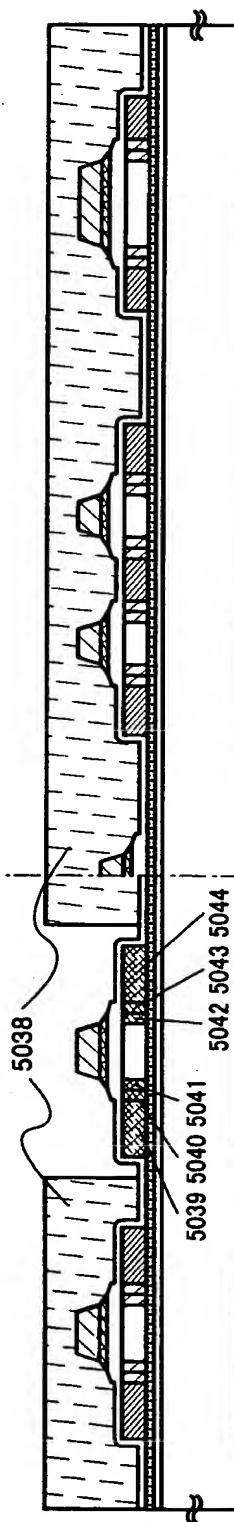
(A) 第2のドーピング処理



(B) 第3のエッチング処理



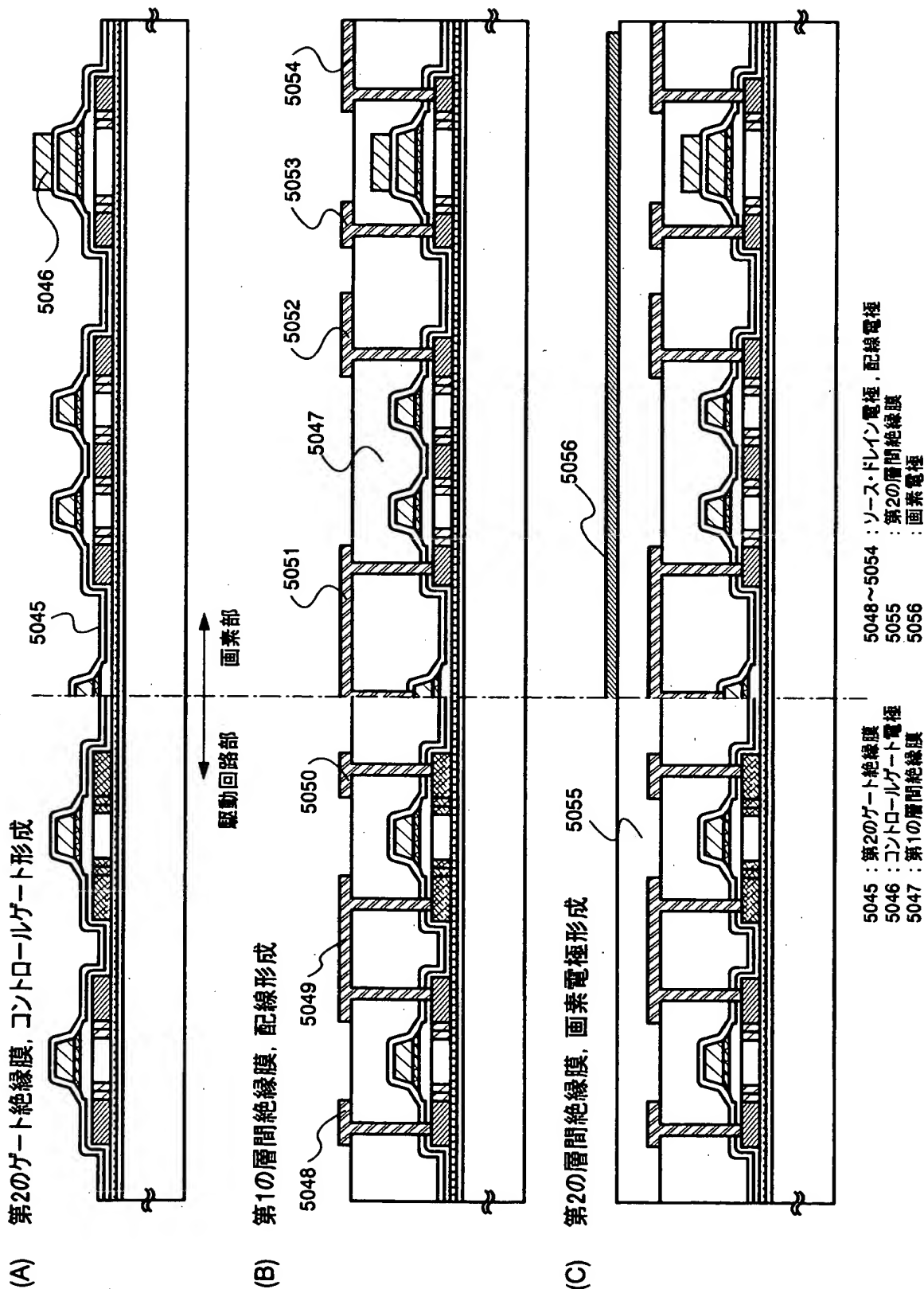
(C) 第3のドーピング処理



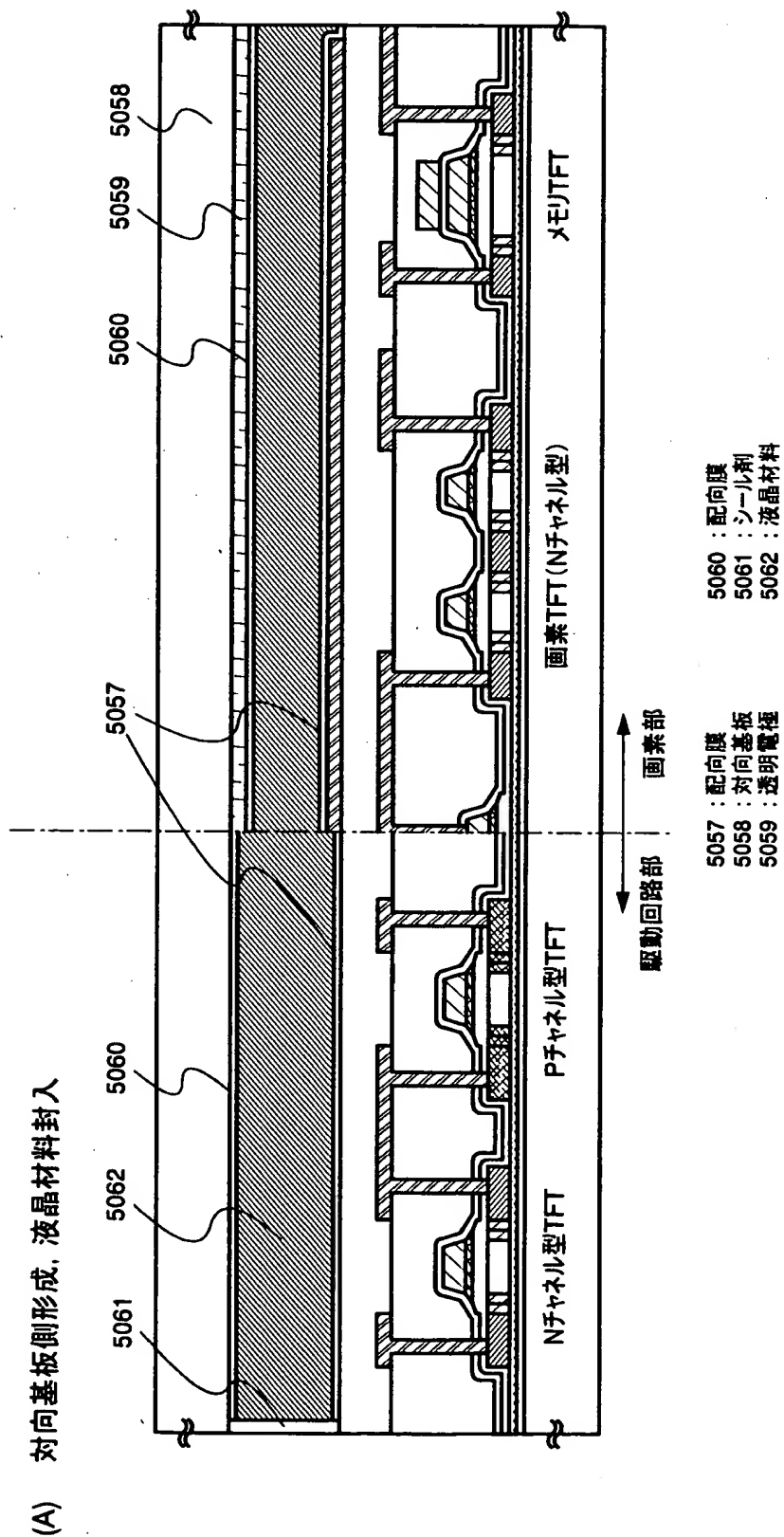
5027~5031 : 第2の不純物領域(エッチング前)
 5027a~5031a : 第2の不純物領域(エッチング後)
 5027b~5031b : 第3の不純物領域
 5032~5037 : 第3の形状の導電層
 5032a~5037a : 第1の導電層
 5032b~5037b : 第2の導電層
 5038 : レジストマスク
 5039~5044 : 第4の不純物領域

【図 11】

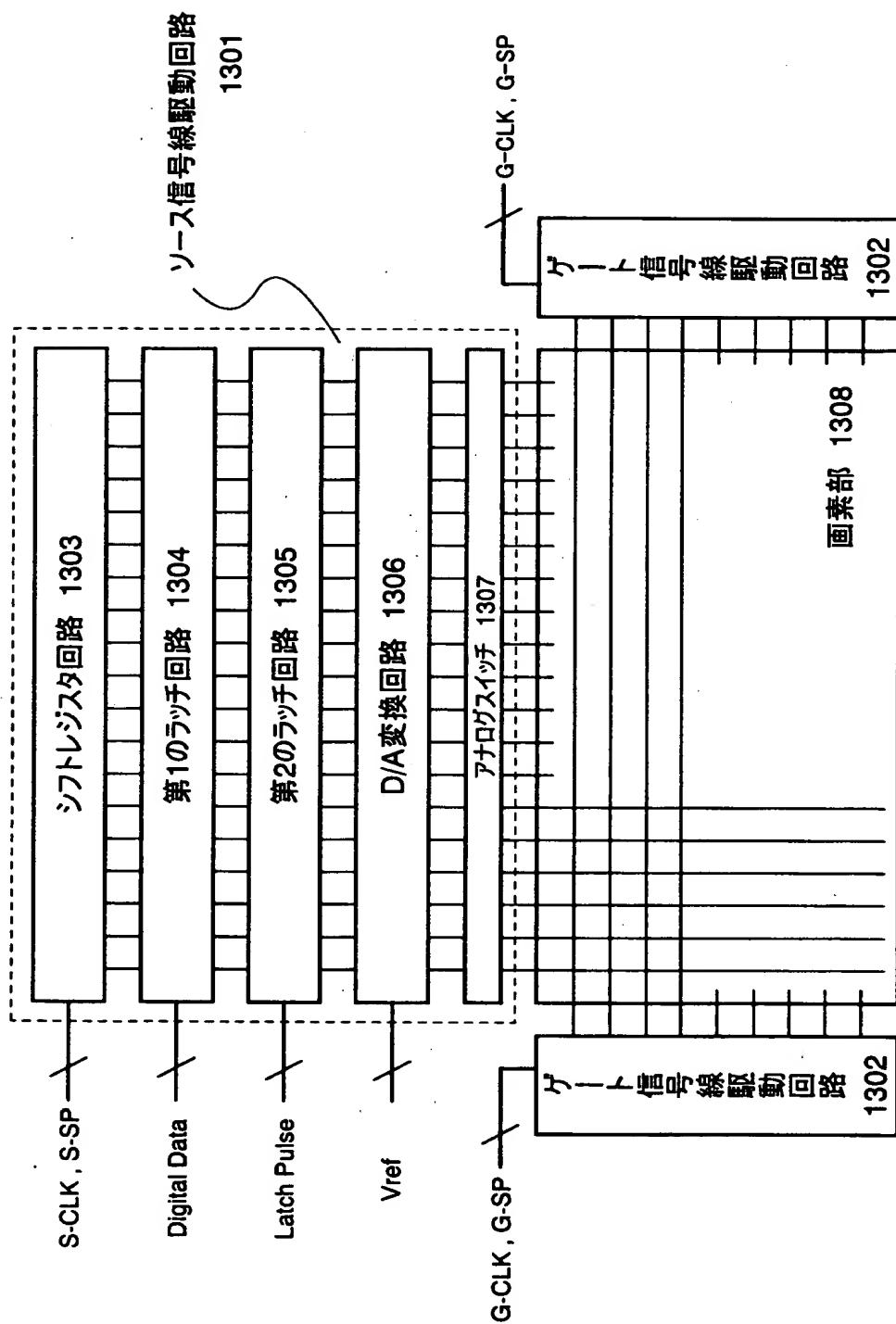
BEST AVAILABLE COPY



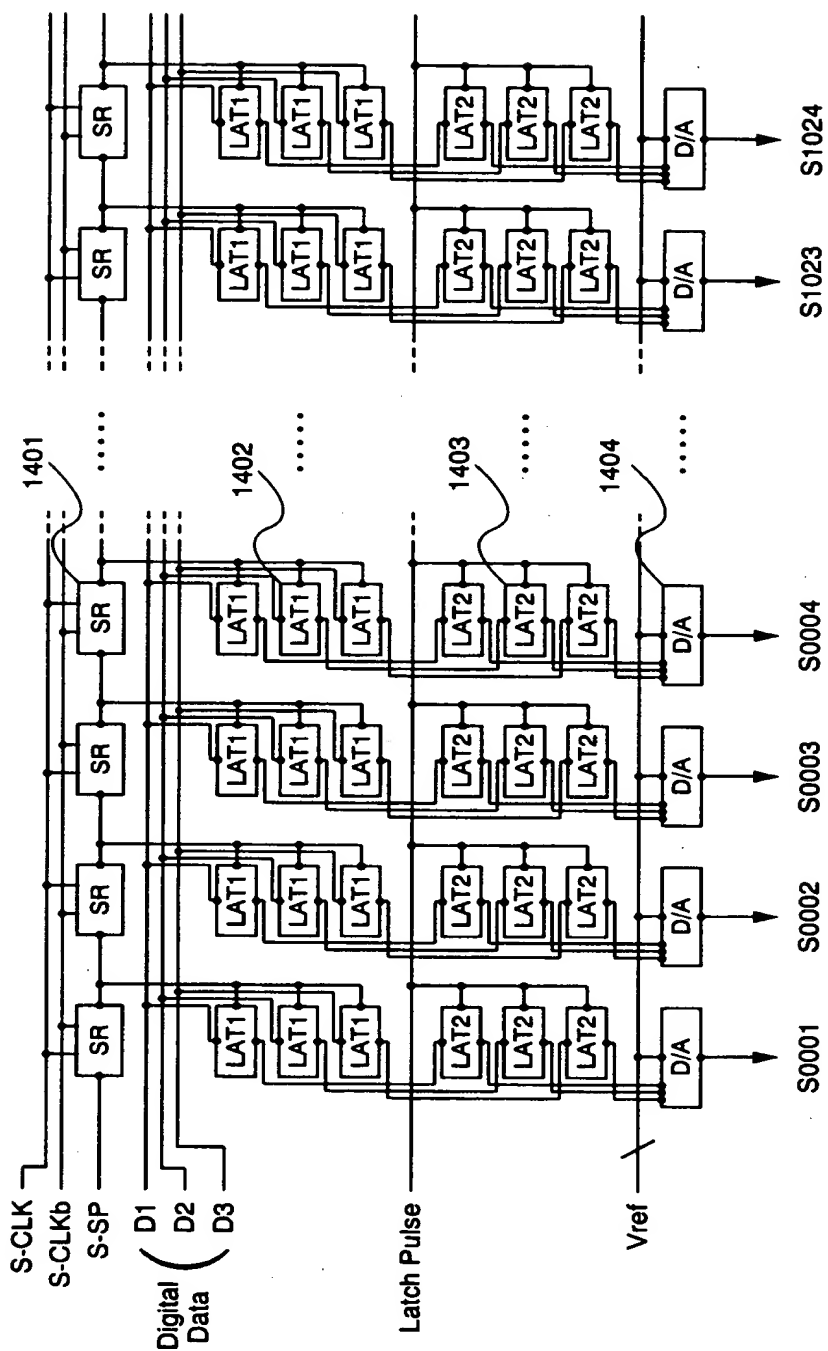
【図 12】



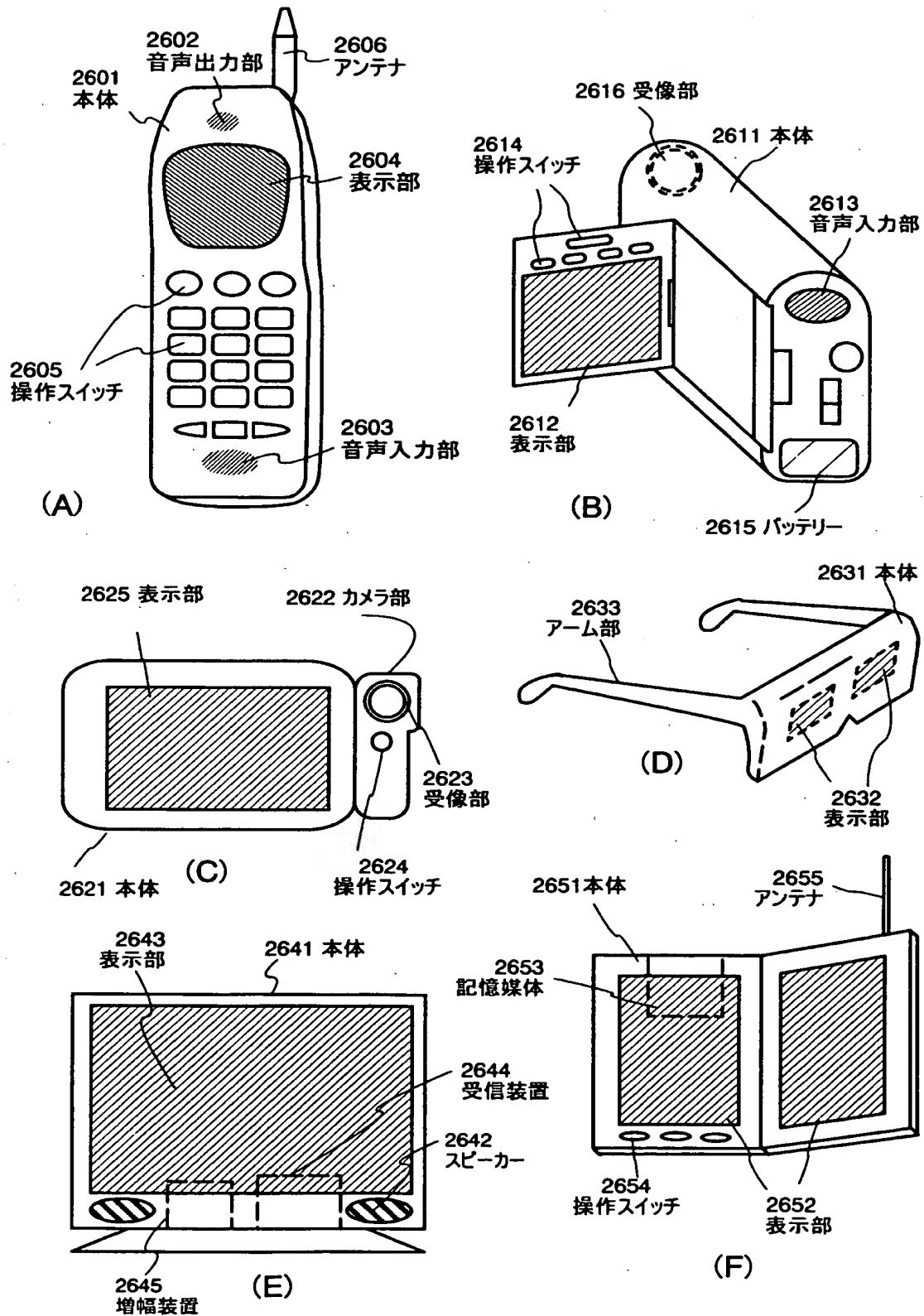
【図 1 3】



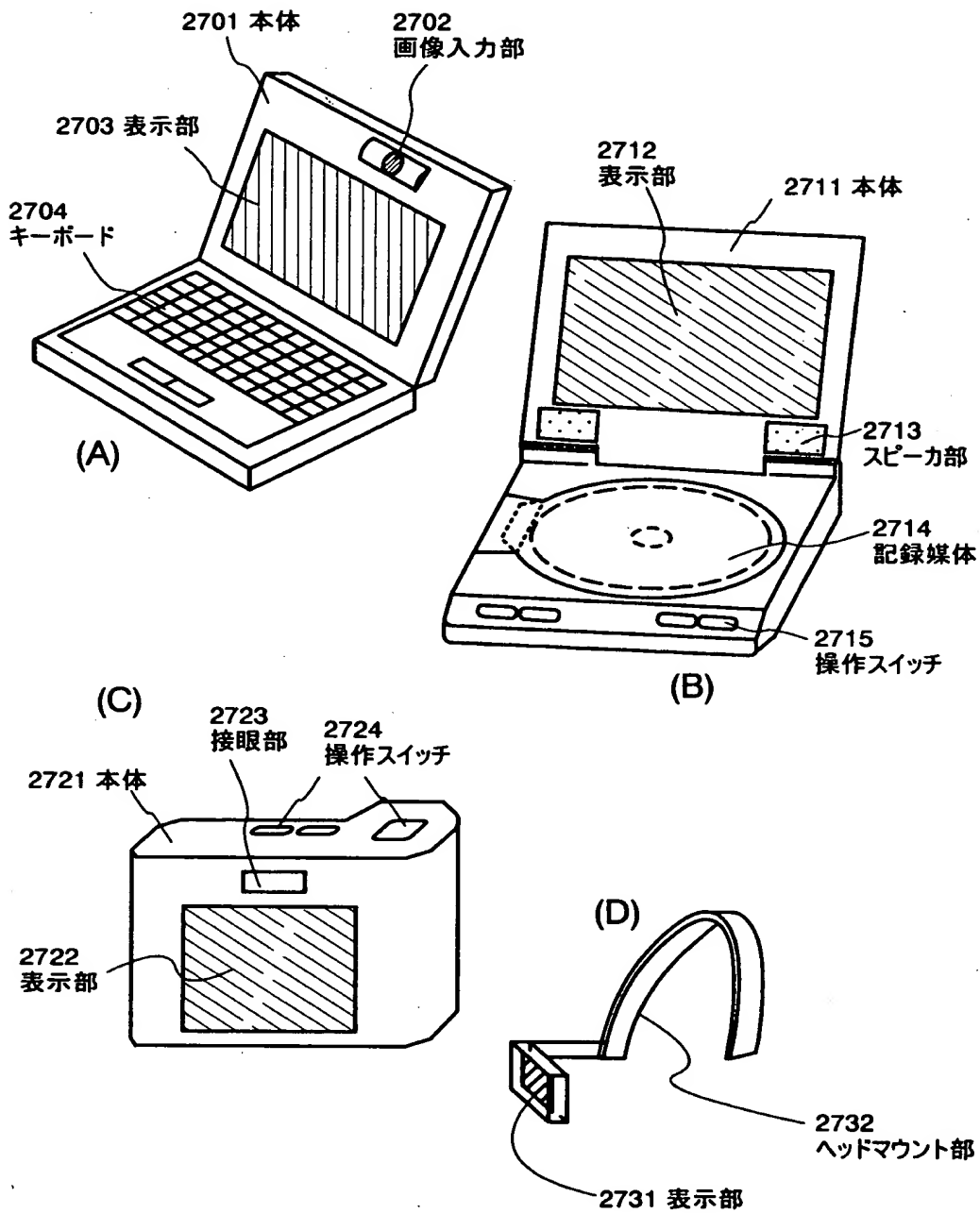
【 図 1 4 】



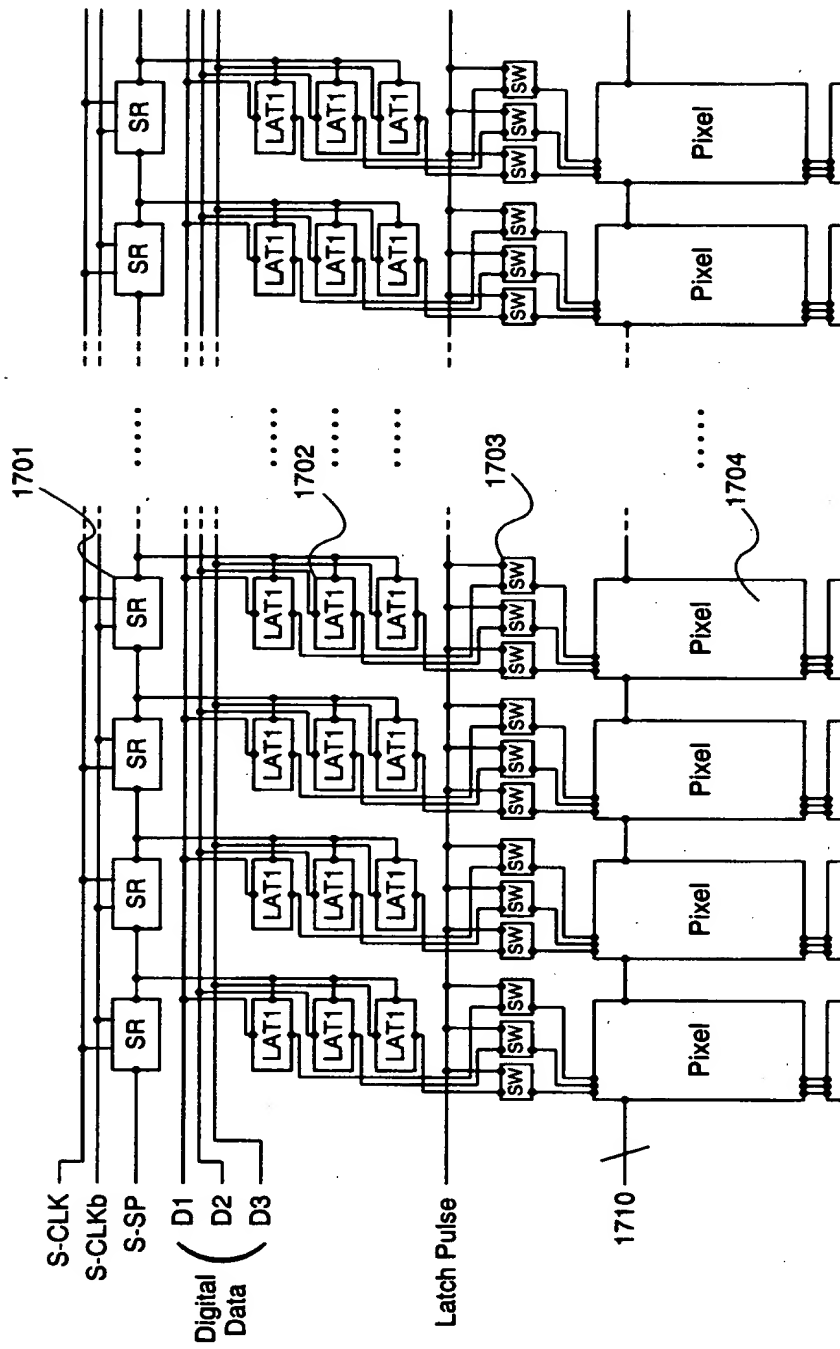
【図15】



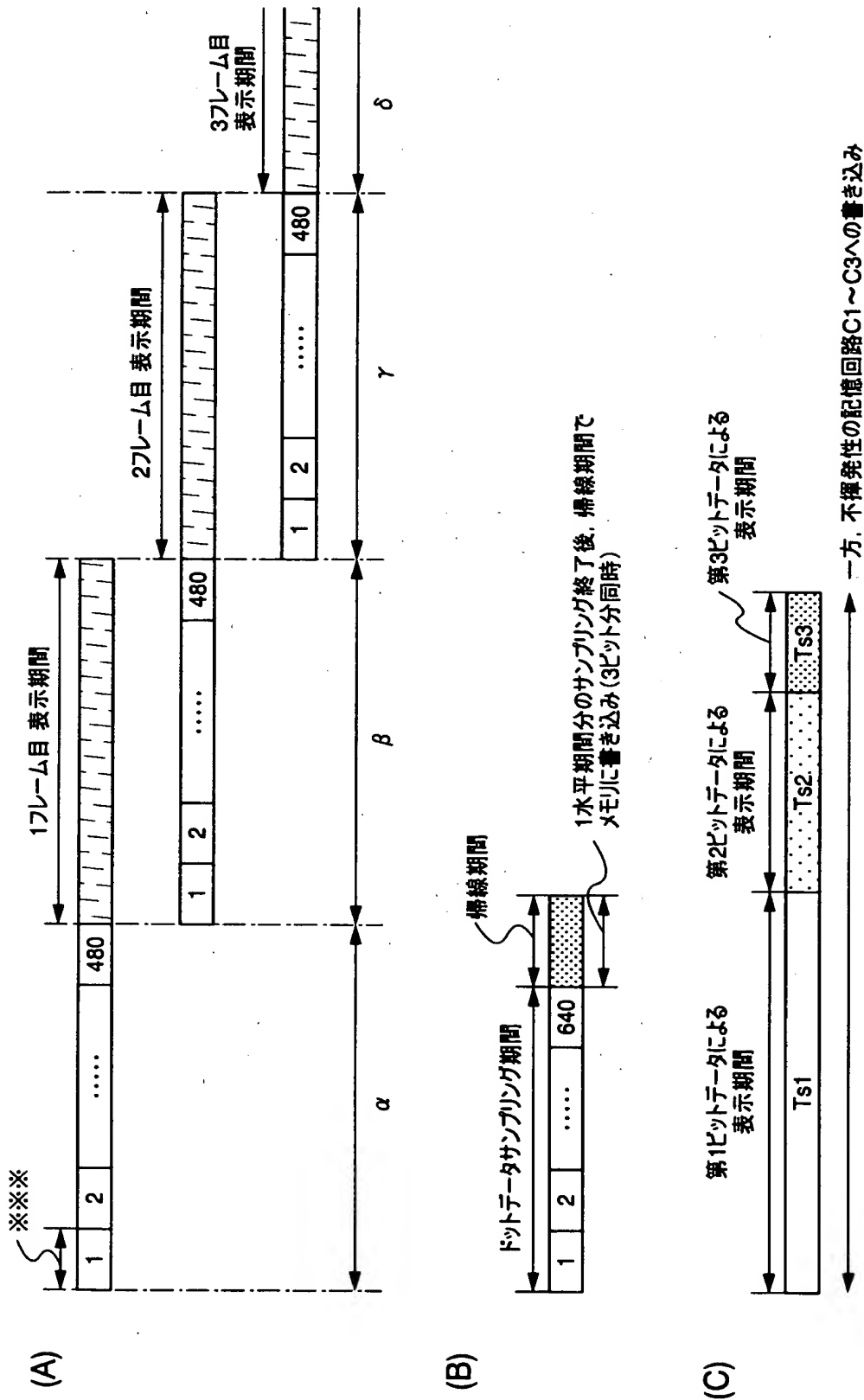
【図 16】



【図 1 7】

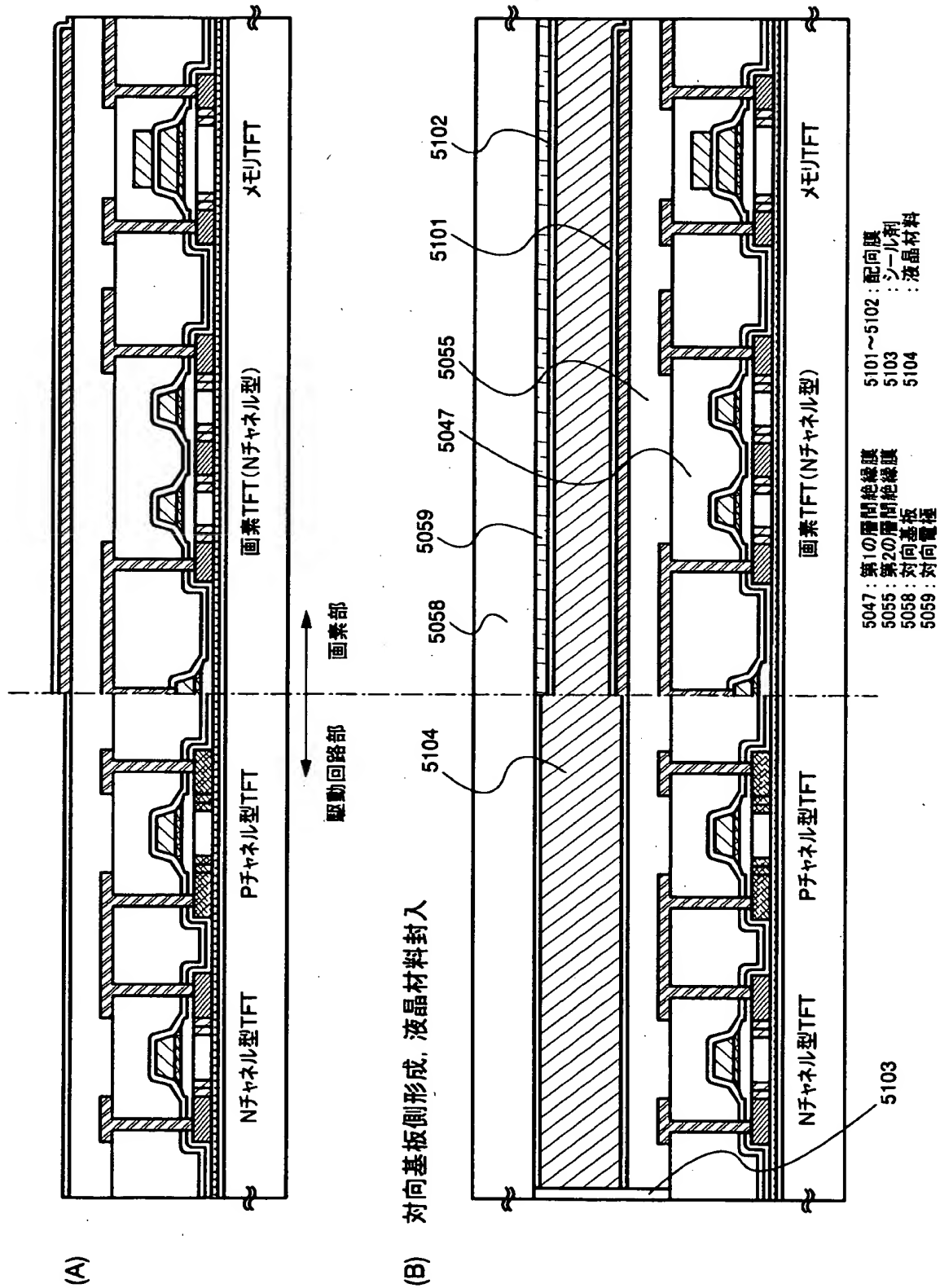


【図 1 8】



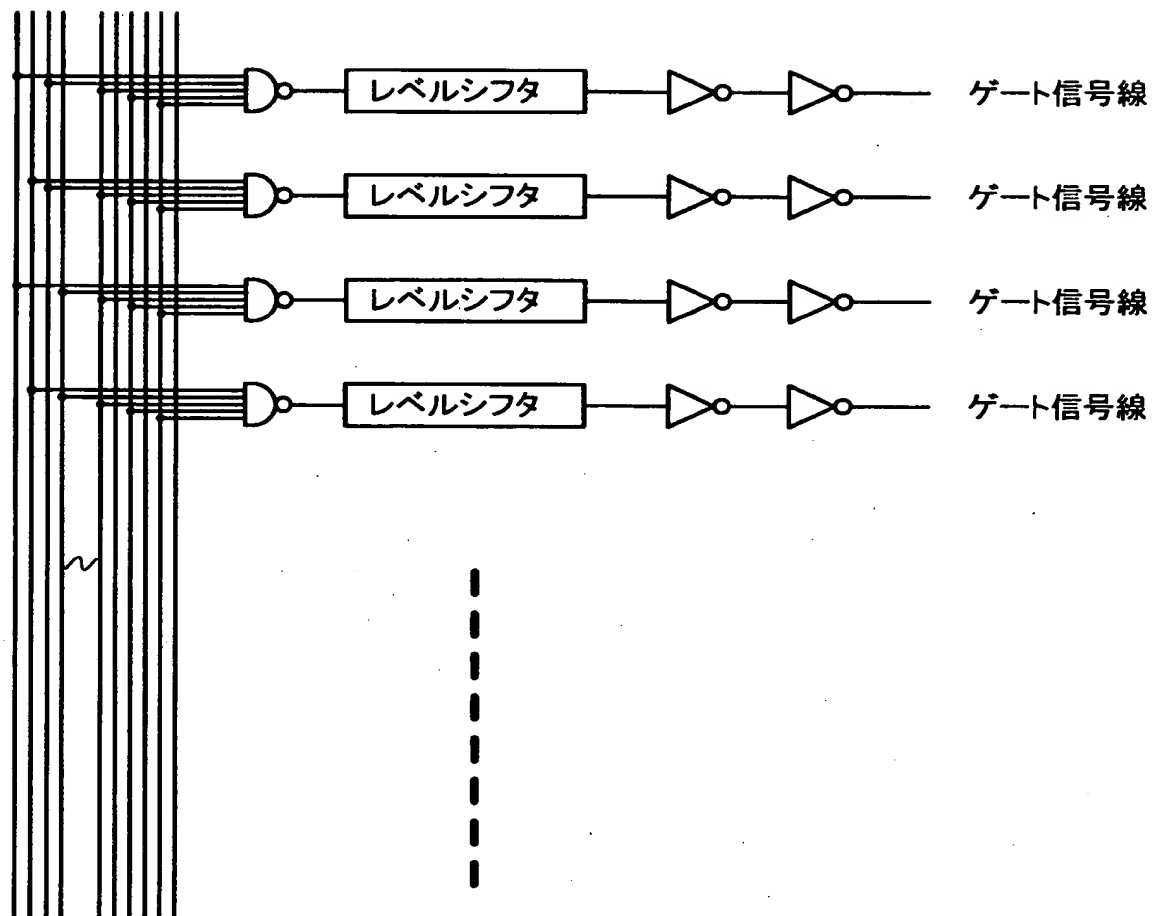
【図 19】

BEST AVAILABLE COPY

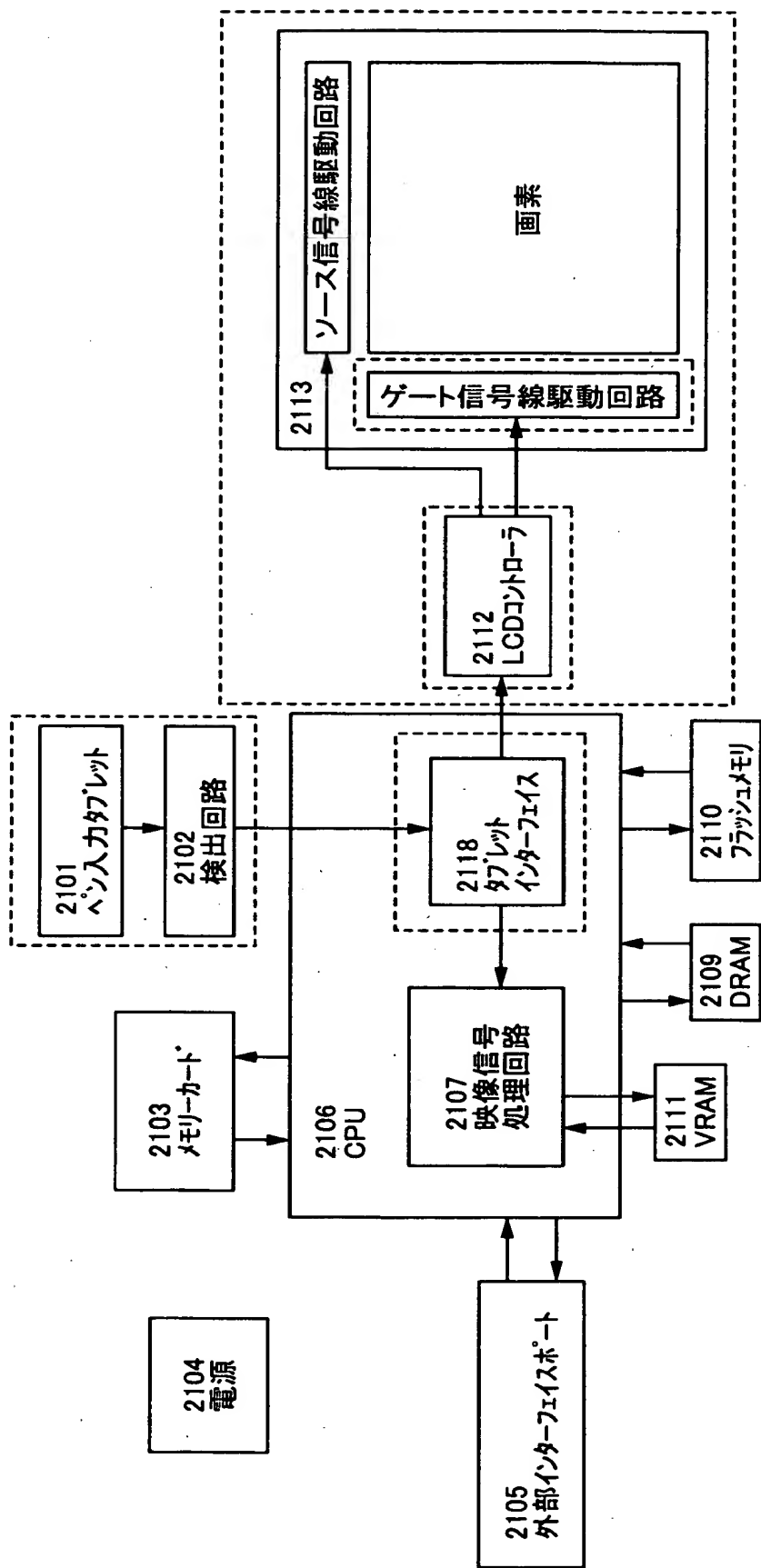


【図 2 0】

アドレス線

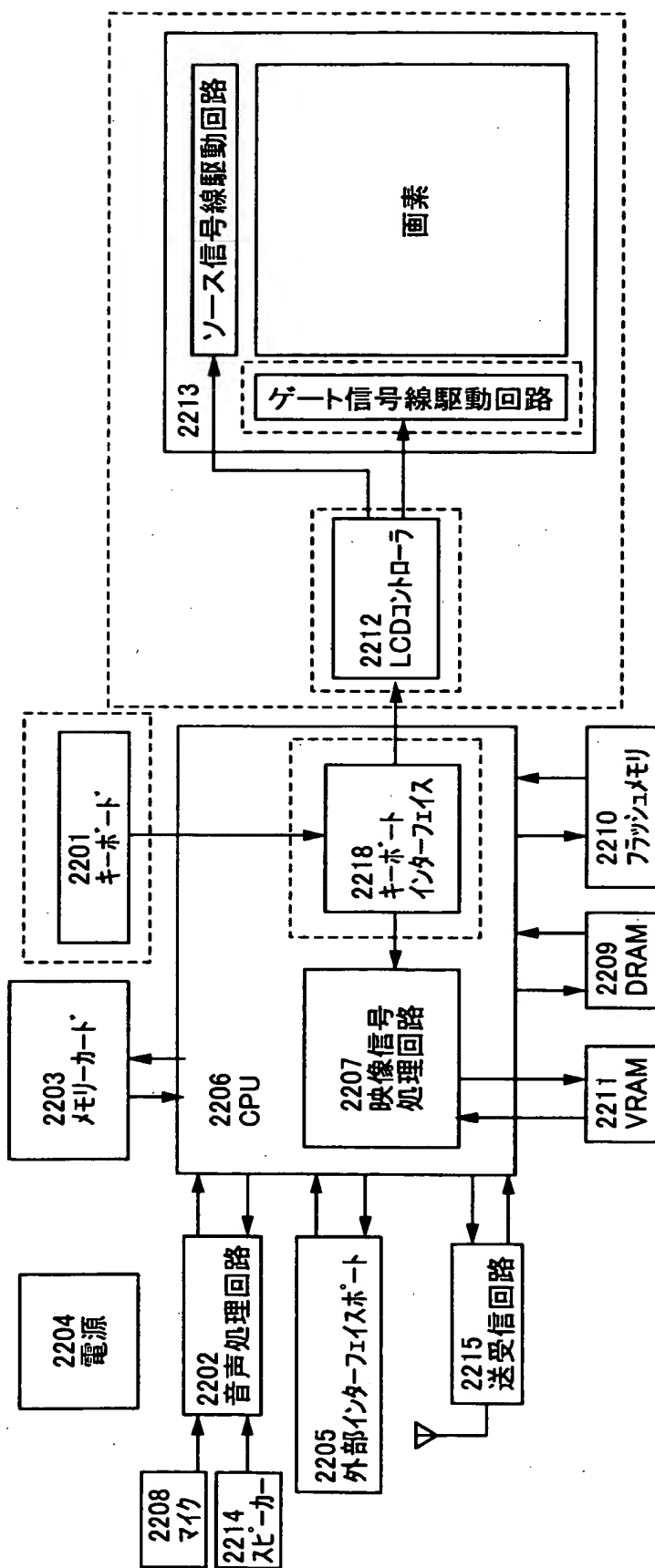


【図 2 1】



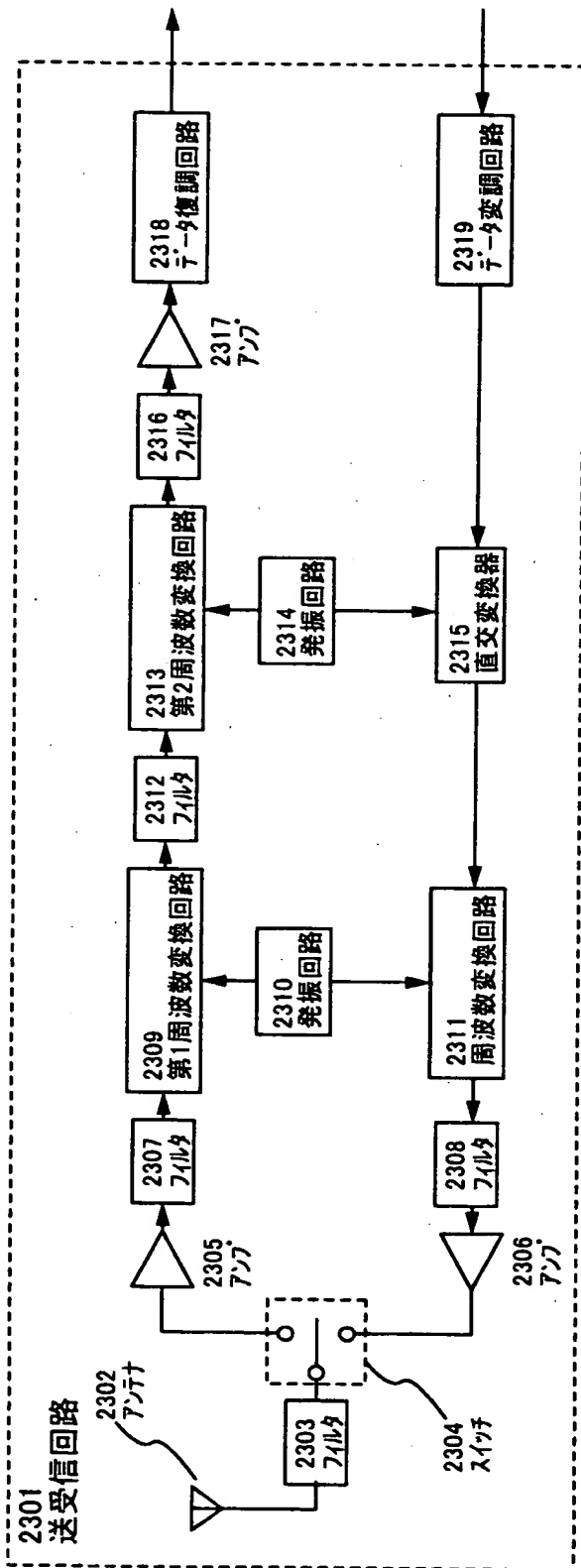
携帯情報端末のブロック図

【図 2 2】



携帯電話ブロック図

【図 2 3】



送受信回路ブロック図

【書類名】 要約書

【要約】

【課題】 新規の回路構成を有する駆動回路および画素を用いて、低消費電力化が可能な液晶表示装置の提供を課題とする。

【解決手段】 n ビット (n は自然数、 $n \geq 2$) のデジタル映像信号を用いて映像表示を行う液晶表示装置において、1画素あたり $n \times m$ 個 (m は自然数) の揮発性の記憶回路と、 $n \times k$ 個 (k は自然数) の不揮発性の記憶回路を有し、 m フレーム分のデジタル映像信号を揮発性の記憶回路に記憶する機能と、 k フレーム分のデジタル映像信号を不揮発性の記憶回路に記憶する機能とを有する。静止画像の表示は、一旦記憶回路に記憶されたデジタル映像信号を繰り返し読み出して各フレームで表示を行うことにより、その間のソース信号線駆動回路の駆動を停止する。また、不揮発性の記憶回路に記憶されたデジタル映像信号は、電源遮断後も記憶されるため、次の電源投入時に直ちに表示が可能である。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日	1990年 8月17日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷398番地
氏 名	株式会社半導体エネルギー研究所